

JERNINDUSTRIENS FORLAG



Impulsteknik
Svagstrømsteknisk
værkstedskursus/skole

1985

Instruktioner

Jern- og Metalindustrien

Forord

I forbindelse med kursusplaner for svagstrømsteknisk værkstedskursus/skole udgives følgende lærebøger:

Lodde- og montageteknik - Instruktioner
Analogteknik - Instruktioner
Impulsteknik - Instruktioner
Microcomputerteknik - Instruktioner
Analog- og impulsteknik - Øvelser og opgaver

Lærebøgerne er udarbejdet på foranledning af faglærerne ved Håndværkerskolen i Sønderborg og Frederiksberg tekniske Skole i samarbejde med Jernindustriens Forlag.

Lærebøgerne vil være anvendelige til undervisning i elektronik ved HTX-uddannelsen.

Teoriinstruktioner

Teoriinstruktionerne er elevernes værktøj til at arbejde selvstændigt med stoffet. Instruktionerne tilgodeser lærerens pædagogiske frihed.

Der er en så fyldestgørende dækning af stoffet, at nogle emner på grund af tidsnød ikke kan dækkes af klasseundervisning, specielt på det halvårslige værkstedskursus.

Teoriinstruktionerne kan anvendes som opslagsværk af eleven i praktikperioden.

Øvelser

Øvelserne giver eleven mulighed for at arbejde med praktisk elektronik, herunder at udvikle færdigheder i måleteknik.

Øvelserne angiver hensigt og resultater, men overlader fremgangsmåden til lærer og elever.

Da det anvendte materiel afviger fra skole til skole, er øvelser, som er knyttet til bestemte apparater, ikke medtaget.

I microcomputerundervisningen er der dog anvendt Intels 8080/85 processor for at udnytte det hardware- og softwareudstyr, som elektronikmekanikeruddannelsen allerede anvender.

Teoriopgaver/øvelser

Teoriopgaver/øvelser afvikles således, at eleven først bearbejder stoffet teoretisk, hvorefter beregningerne bekræftes gennem tilhørende praktiske måleøvelser.

Opgaver

Opgaver giver eleven og læreren mulighed for at kontrollere indlæringen.

Opgaverne kan udføres som hjemmearbejde, idet de ikke kræver måleudstyr.

Øvelses- og opgavesamlingen må ikke anses for fyldestgørende, men kan suppleres af den enkelte skole og lærer i overensstemmelse med kursusplanen.

Forlaget modtager gerne forslag til ændringer og rettelser fra lærere, elever og andre interesserede.

• Copyright JERNINDUSTRIENS FORLAG, København.

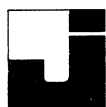
Enhver mangfoldiggørelse af tekst eller illustrationer er forbudt.

Forbudet gælder alle former for mangfoldiggørelse ved trykning og fotografering.

København, maj 1985

JERNINDUSTRIENS FORLAG



GRUNDBEGREBER

Side:

Impulsdefinitioner	1
Integrations- og differentiationsled	5
Transistoren som switch	11
Gate AND, OR, INV, NAND, NOR	13
Specielle AND-OR funktioner	16
Exclusive OR-gate	23
Logikformer	25
Boole's algebra	27
Boolske love	39
Koder	41
Talsystemer Binær, octal, hexadecimal	45
Regning med binære tal - Maskinaritmetik	53

KOMPONENTLÆRE

Integreret kredsløb	63
Kredsløbsfamilier	71
Tyristorer 4-lags halvledere	79
Unijunction transistor	95
Optoelektriske transducere	99

KREDSLØBSBESKRIVELSER

Multivibratorer	109
Multivibratorer med integrerede kredsløb	121
Flip-flop's	127
Tæller- og delerkredsløb	139
Digital/analog-konvertere - DAC	155
Analog/digital-konvertere - ADC	159
Dekoder	167
Multiplexer	171

MÅLEINSTRUMENTER OG MÅLETEKNIK

Fejlsøgningsinstrumenter	173
--------------------------	-----

SYSTEMBESKRIVELSER

Philips pladespiller 22GA212	177
Frekvenstæller	183

TABELLER, BESTEMMELSER M.V.

Diagramsymboler	189
Oversigt over gates	190
Hjælpesætninger til Bool's algebra	191
Oversigt binære koder	192





DISPOSITION

1. Impulsdefinitioner

1. IMPULSDEFINITIONER

1.1 Impuls

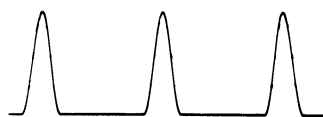
Enhver kurveform, der er forskellig fra sinus, er en impuls.

En impuls ændrer kurveform, når den ledes gennem et selektivt kredsløb, hvorimod en sinus kun ændrer amplitude.

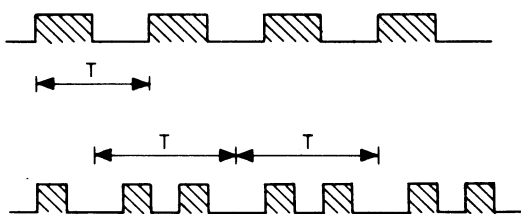
Sinus



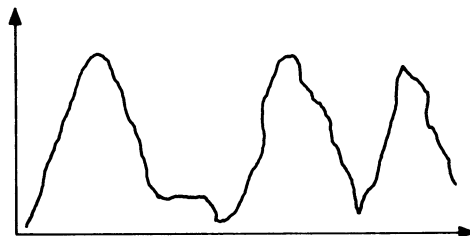
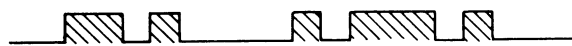
Impuls



Et periodisk impulsforløb er et impulsforløb, der gentages.

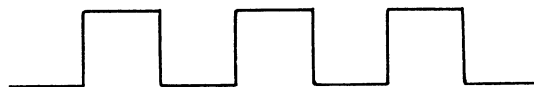


Et aperiodisk impulsforløb er et impulsforløb, der ikke gentages.



Periodiske impulser kan enten være tidssymmetriske eller tidsasymmetriske.

Et tidssymmetrisk impulstog har lige lang impuls og pause.

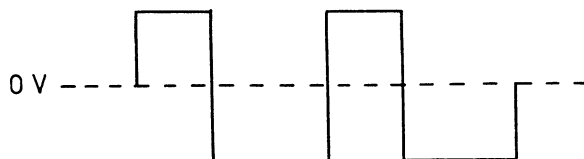


En tidsasymmetrisk impuls har ikke lige lange impuls- og pausetider.



Periodiske impulser kan også være spændingssymmetriske eller spændingsasymmetriske.

Ved spændingssymmetrisk impuls har den positive spidsspænding samme værdi som den negative.





1.2 Tider

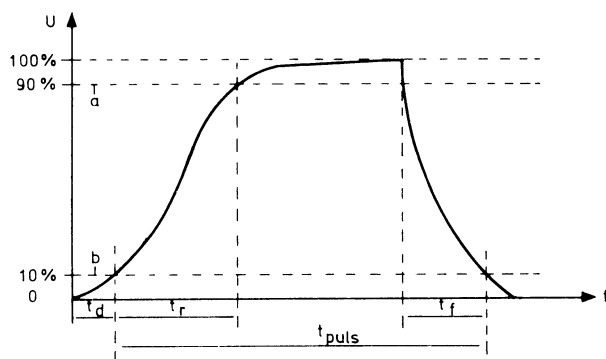
Måling på impulser vanskeliggøres af, at disse ofte er behæftet med forsinkelsestider t_d , samt afrundede toppe på for- og bagflanker.

Dette indebærer, at man ikke umiddelbart kan se, hvorfra og hvortil en stigtid eller forsinkelsestid skal måles.

For at tilgodese dette forhold, afskæres 10% af impulsens top og bund, og målingen foretages mellem afskæringspunkterne.

En impuls' stigtid eller faldetid måles altid mellem 10% og 90% af maksimal amplitude.

Dette er en international vedtagelse og behøver ikke præciseres ved målingsangivelser.



Impulstiden t_{puls} angives ved forskellige procenter af maksimal amplitude.

Ofte anvendes måling ved

10% - 10%

50% - 50%, eller

90% - 90%

Periodetid er den tid, det tager fra starten af impulsforløbet til det begynder at gentage sig selv.

Pausetid er forskellen mellem periodetid og impulstid.

$$t_{\text{pause}} = t_{\text{periode}} - t_{\text{puls}}$$

Duty cycle angiver forholdet mellem impuls- og periodetid.

$$d = \frac{t_{\text{puls}}}{t_{\text{periode}}}$$

1.3 Firkantspænding

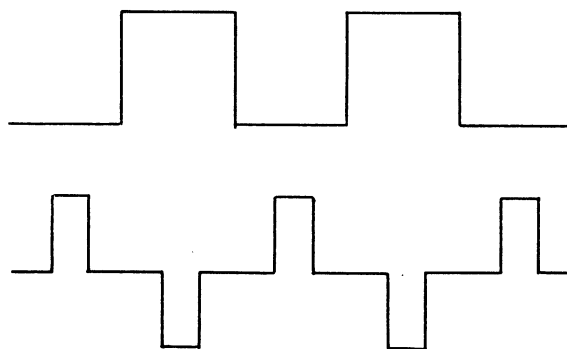
Enhver periodisk kurveform kan opbygges ved hjælp af sinuskurver, der blot skal have korrekt frekvens, amplitude og fase.

For at gengive en kurveform korrekt, må der ikke ændres på de harmoniske svingningers amplitude og fase.

En forstærker med lineær frekvenskarakteristik har også ofte korrekt faselinearitet.

Alle symmetriske firkantspændinger indeholder ulige harmoniske svingninger af grundfrekvensen (1, 3, 5 . . . harmoniske).

Amplituden af de harmoniske falder med stigende frekvens.



Asymmetriske firkantspændinger indeholder alle harmoniske af grundsvingningen (1, 2, 3 . . . harmoniske).



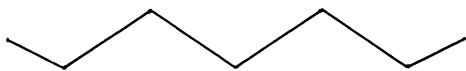


En peakspænding indeholder alle harmoniske, jo smallere peak'en er, jo mere ens er de harmoniske i amplitude.



1.4 Trekantspænding

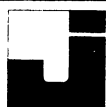
En symmetrisk trekantspænding indeholder alle ulige harmoniske svingninger; de er blot fasedrejet i sammenligning med firkantspændingen.



En asymmetrisk trekantspænding indeholder alle harmoniske svingninger.







DISPOSITION

1. Integrations- og differentiationsled

1. INTEGRATIONS- OG

DIFFERENTIATIONSLED

De fleste RC kredse i impulsteknikken anvendes i forbindelse med tidskredsløb.

Derfor vil de påtrykte spændinger for RC leddene i sådanne kredsløb hyppigere være periodiske firkantspændinger end jævnspændinger, hvorfor det følgende afsnit vil beskrive RC leds indflydelse på firkantspændinger.

1.1 RC led påtrykt symmetrisk firkantspænding

Påtrykkes et RC led en symmetrisk firkantspænding med en amplitude på 100 V og en pulstid på en τ , vil kondensatoren i den første positive halvperiode oplade til 63,2% af den påtrykte spænding på 100 V.

Samtidig vil spændingen over modstanden, der altid er lig med $U_G - U_C$, først stige til +100 volt, når firkantspændingen påtrykkes, og derefter falde til 36,8% af U_G på 100 volt, efterhånden som kondensatoren oplader.

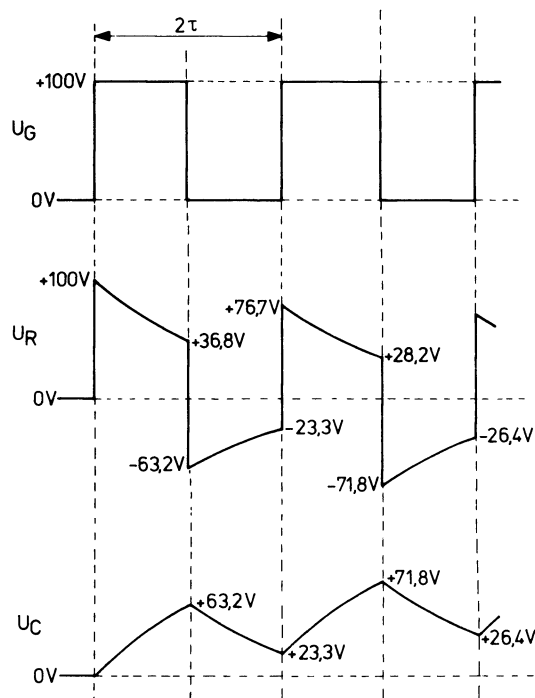
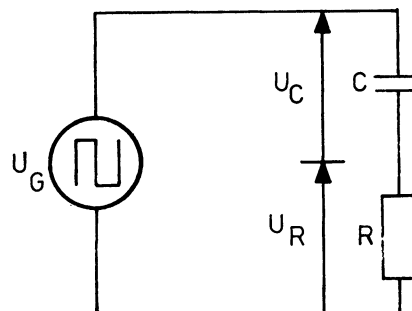
Ved afslutningen af første halvperiode har man derfor over C 63,2 volt og over R 36,8 volt.

Derefter falder U_G til 0 volt.

Kondensatoren vil da aflade sig gennem R og firkantgeneratorens indre modstand, som i dette eksempel sættes lig 0.

Afladningstiden er lig med 1τ , hvorfor kondensatoren taber 63,2% af den opnåede ladning, dvs. U_C falder til 36,8% af 63,2 volt = 23,3 volt.

U_R vil under hele afladningen være lig med U_C blot med modsat fortegn, dvs. den starter ved -63,2 volt og slutter ved -23,3 volt.



I den påfølgende positive halvperiode er U_G igen lig med +100 volt, men da kondensatorspændingen allerede er 23,3 volt, vil denne halvperiode kun give en forøgelse i U_C på 63,2% af $(100 - 23,3)$ volt = 48,5 volt.

Lagt til begyndelsesspændingen på 23,3 volt, giver det en U_C på i alt 71,8 volt ved slutningen af halvperioden.

U_R starter ved $(100 - 23,3)$ volt = 76,7 volt og slutter ved $(100 - 71,8)$ volt = 28,2 volt.



I den næste halvperiode mister kondensatoren igen 63,2% af sin ladning, hvorfor U_C ved slutningen af halvperioden er +26,4 volt.

U_R starter ved -71,8 volt og slutter ved -26,4 volt.

Som man kan se af kurveformerne for U_C og U_R , vil U_R efter et vist antal perioder ligge symmetrisk omkring 0 volt, dvs. U_R 's middelværdi vil blive 0 volt.

Efter samme antal perioder vil U_C ligge symmetrisk omkring +50 volt, som både er U_G 's og U_C 's middelværdi.

Man siger, at kredsløbet kræver et indsvingningstidsrum, før symmetriseringen er sket.

Senere vil det blive vist, hvorledes man med det samme kan regne sig til U_R og U_C uden optegning af indsvingningsforløbet.

1.2 Tidskonstantens størrelse

Den i ovenstående eksempel anvendte tidskonstant betegnes som middellang.

I virkeligheden er det vilkårligt, hvor man sætter grænsen mellem kort, middellang og lang tidskonstant, men i al almindelighed regner man med, at en kreds har:

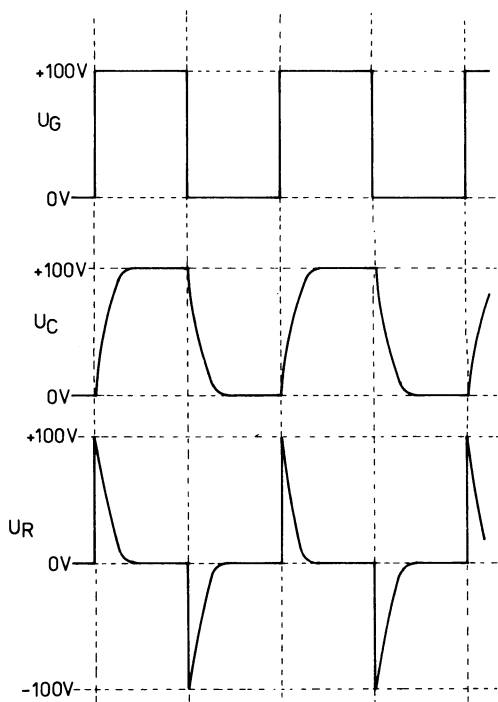
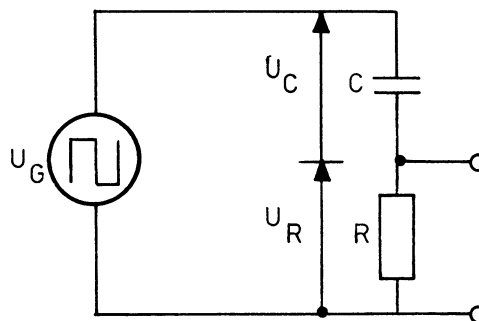
Lang τ , når produktet af R og C er lig med eller større end 10 gange den påtrykte spændings periode.

Kort τ , når RC produktet er lig med eller mindre end en tiendedel af den påtrykte spændings periode.

Middellang τ , når RC produktet ligger mellem disse to værdier.

1.3 Differentiationsled

Da man i praksis betragter en kondensator som værende fuldt opladet eller afladet efter 5 tidskonstanter forløb, vil man i et RC kredsløb med kort τ give kondensatoren lejlighed til fuld op- eller afladning inden for en halvperiode af den påtrykte spænding.





I den første halvperiode er den påtrykte spænding +100 volt, hvorfor kondensatoren oplader til denne værdi, hvorefter opladestrømmen ophører.

Som følge heraf stiger U_R , i det øjeblik U_G påtrykkes til +100 volt for derefter at falde til 0 volt efter en eksponentialkurve, medens U_C stiger til +100 volt efter en eksponentialkurve.

I den næste halvperiode er $U_G = 0$ volt, hvorfor kondensatoren aflades gennem modstanden og firkantspændingsgeneratorens indre modstand, som ligesom i foregående eksempel antages at være 0 ohm.

Afladningen sker altså med samme hastighed som opladningen, og U_C falder efter en eksponentialkurve til 0 volt.

Afladestrømmen i kredsløbet har naturligvis modsat retning af opladestrømmen, hvorfor U_R til ethvert tidspunkt under afladningen er lig med U_C , blot med modsat fortegn.

Man ser, at spændingsbølgeformen over R er en peakspænding.

Dette kalder man at differentiere firkantspændingen, hvorfor RC leddet med kort τ ofte kaldes et differentiationsled, når udgangsspændingen fra leddet tages over modstanden.

1.4 Integrationsled

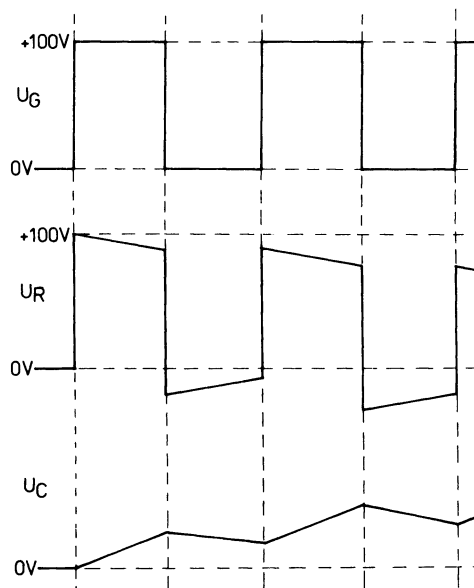
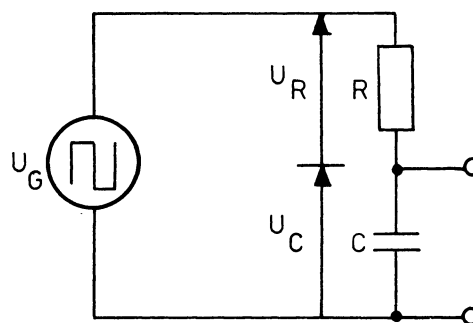
Påtrykker man en firkantspænding på et RC led med en lang τ , er det indlysende, at kondensatoren kun kan nå at op- eller aflade ganske lidt i en enkelt halvperiode af firkantspændingen.

Virkningen vil da ligne den, man fandt i RC led med middellang τ , blot vil det tage mange flere perioder af den påtrykte spænding, før indsvingningsforløbet er færdigt, og U_C og U_R spændingsbølgeformerne ligger symmetrisk om deres middelværdi.

På grund af den lange τ når kondensatoren i første halvperiode kun at oplade til en ganske ringe del af den påtrykte spænding på +100 volt.

U_R , der altid er lig $U_G - U_C$, ændrer sig i samme halvperiode fra +100 volt til lidt under denne værdi, svarende til spændingsstigningen over kondensatoren.

I næste halvperiode aflader kondensatoren, men igen forhindrer den lange τ , at spændingsændringen over kondensatoren bliver ret stor, f.eks. kun 5% af den i første halvperiode opnåede spænding.





Ved begyndelsen af tredje halvperiode har kondensatorspændingen altså næsten samme værdi som ved slutningen af første halvperiode, og i løbet af tredje halvperiode opnår den en lidt større værdi, hvoraf kun en lille del forsvinder ved afladning i den fjerde halvperiode osv., indtil kondensatorspændingsbølgeformen ligger symmetrisk omkring sin middelværdi, i dette specielle tilfælde +50 volt.

Samtidig med, at kondensatorspændingen stiger, må U_R naturligvis falde, således at U_R spændingsbølgeformen, som det er vist på illustrationen, rykker i negativ retning, således at også den efterhånden kommer til at ligge symmetrisk omkring sin middelværdi på 0 volt.

Spændingen over kondensatoren kaldes ofte en integreret spænding, hvorfor RC leddet med lang τ ofte kaldes et integrationsled, når udgangsspændingen tages over kondensatoren.

At U_R i alle tre ovenstående eksempler har en middelværdi på 0 volt, skyldes, at en middelværdi forskellig fra 0 volt kun kan forekomme, hvis der går en DC strøm gennem modstanden, hvilket kondensatoren naturligvis effektivt vil forhindre.

At både U_C og U_R i alle tre ovenstående eksempler ligger symmetrisk omkring deres middelværdi, skyldes naturligvis, at U_G er en symmetrisk firkantspænding.

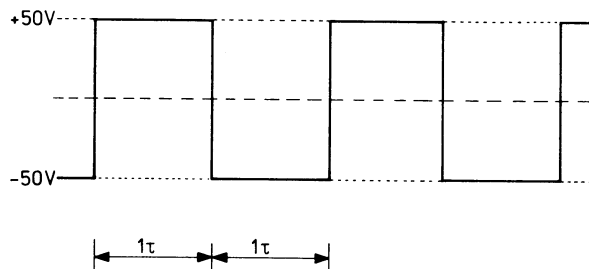
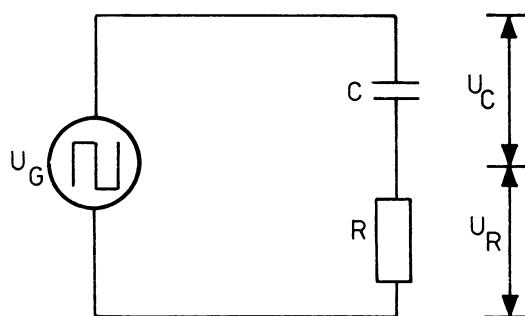
Dette vil altså ikke forekomme, hvis U_G er en asymmetrisk firkantspænding.

Generelt for både symmetriske og asymmetriske spændinger gælder det, at arealet af den del af spændingsbølgeformerne, der ligger over middelværdien, nøje svarer til arealet af den del, der ligger under, når indsvingningsforløbet er færdigt.

1.5 U_C og U_R efter indsvingningsforløbet

Det er muligt på en forholdsvis simpel måde at beregne de endelige værdier af U_R og U_C , eller som man normalt siger: Spændingerne efter, at indsvingningsforløbet er færdigt.

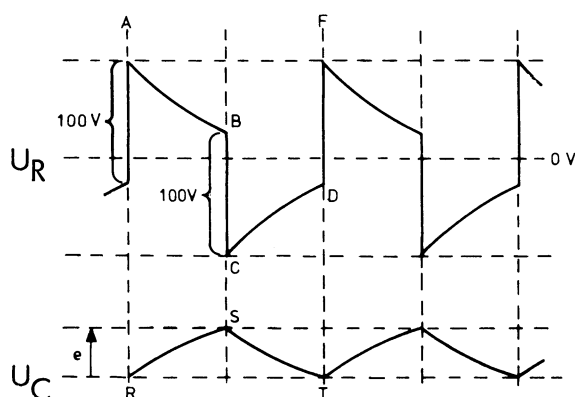
Dette belyses bedst ved et eksempel:





Den symmetriske firkantsspænding påtrykkes et RC led med en tidskonstant, der er lig med den påtrykte firkantspændings halvperiode.

Som støtte for beregningerne tegner man det omtrentlige billede af spændingerne over modstanden og kondensatoren.



Fem på hinanden følgende "hjørner" i U_R billedet er benævnt med bogstaverne A, B, C, D og F.

Tilsvarende er tre på hinanden følgende "hjørner" i U_C billedet benævnt med bogstaverne R, S og T.

Beregningerne foretages på følgende måde: Spændingen over kondensatoren til tidspunktet R kaldes e og er foreløbig ukendt.

Denne spænding har kondensatoren opnået i kraft af, at der i den ved R afsluttede halvperiode af U_p har været påtrykt RC leddet -50 volt.

Den påtrykte spænding skifter ved R til $+50$ volt, og kondensatoren lader da mod den ny U_G fra den netop opnåede spænding på e volt.

Kondensatoren vil altså starte en opladning på $(50 - e)$ volt.

Da den kun har et tidsrum lig med 1τ til rådighed for opladningen, bliver den opnåede spændingsændring over kondensatoren kun 63,2% af $(50 - e)$ volt, dvs. $(50 - e) \cdot 0,632$ volt.

Spændingen U_C i S er lig med spændingen i R, dvs. e volt, plus den opnåede spændingsændring $(50 - e) \cdot 0,632$ V, altså i alt $(e + (50 - e) \cdot 0,632)$ V.

Til tidspunktet S ændres den påtrykte spænding igen til -50 volt, hvorfor kondensatoren vil søge at ændre sin spænding mod denne nye værdi, dvs., den søger at ændre sin spænding fra

$(e + (50 - e) \cdot 0,632)$ V til -50 V, i alt en spændingsændring på $(e + (50 - e) \cdot 0,632 - (-50))$ V = $(e + (50 - e) \cdot 0,632 + 50)$ V.

Idet kondensatoren atter kun har 1τ til rådighed for ændringer i ladningen, bliver den opnåede spændingsændring kun 63,2% af den søgte ændring, dvs. i alt $(e + (50 - e) \cdot 0,632 + 50) \cdot 0,632$ V.

Kondensatorspændingen til tidspunktet T er lig med spændingen i S minus spændingsændringen i tidsrummet fra S til T, dvs.:

$(e + (50 - e) \cdot 0,632) - (e + (50 - e) \cdot 0,632 + 50) \cdot 0,632$ V.

(Spændingen i S - spændingsændringen i tidsrummet S til T).

Da indsvingningsforløbet er færdigt, er U_C i R lig med U_C i T, altså:

$e = (e + (50 - e) \cdot 0,632) - (e + (50 - e) \cdot 0,632 + 50) \cdot 0,632$ V.

Af denne ligning finder man: $e = -23,1$ volt. Spændingen U_C i R og T bliver altså $-23,1$ volt, og spændingen U_C i S bliver $(e + (50 - e) \cdot 0,632)$ V = $+23,1$ V.



Ved hjælp af Kirchoffs lov for spændingerne i et kredsløb findes de tilsvarende spændinger over modstanden:

Til tidspunktet A:

$$+50 - (-23,1) \text{ volt} = 73,1 \text{ volt.}$$

Til tidspunktet B:

$$+50 - (+23,1) \text{ volt} = 26,9 \text{ volt.}$$

Til tidspunktet C:

$$-50 - (+23,1 \text{ volt}) = -73,1 \text{ volt.}$$

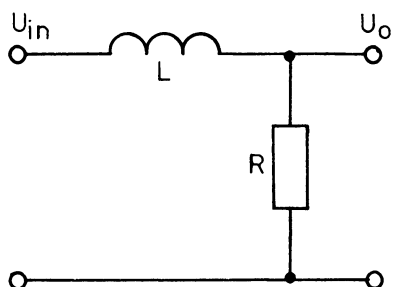
Til tidspunktet D:

$$-50 - (-23,1) \text{ volt} = -26,9 \text{ volt.}$$

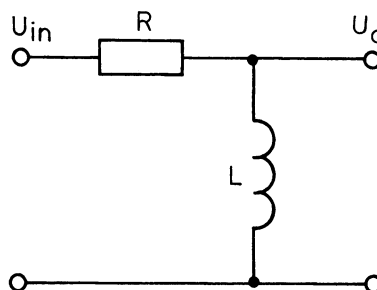
1.6 Differentiation og integration i RL kredse

Differentiation og integration kan også foretages i en serieforbindelse af en modstand og en spole.

I integrationsleddet tages udgangsspændingen over modstanden.



I differentiationsleddet tages udgangsspændingen over spolen.



Tidskonstanten τ for et RL led findes ved

$$\tau = \frac{L}{R}$$

Eksempel:

$$R = 1 \text{ k}\Omega$$

$$L = 100 \text{ mH}$$

$$\tau = \frac{100\text{m}}{1\text{k}} = 100 \mu\text{s}$$

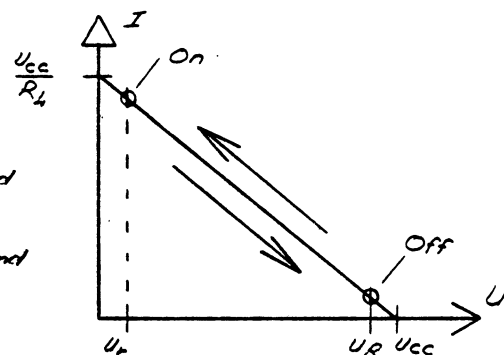
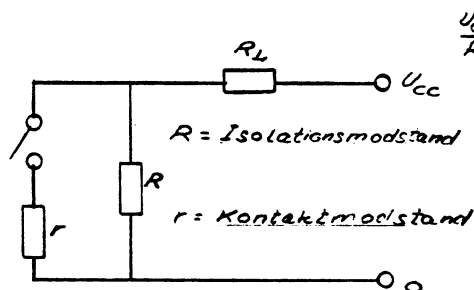


Indledning:

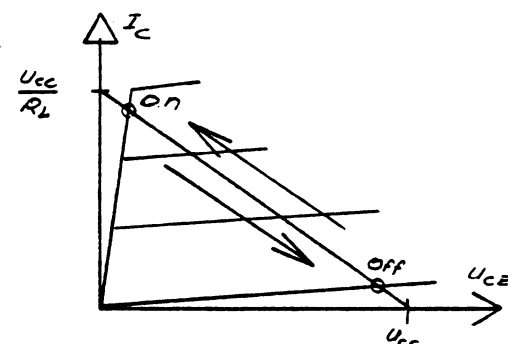
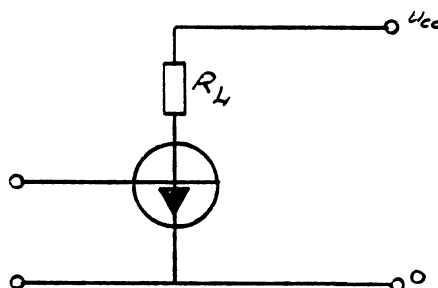
I de fleste impulskredse arbejder transistoren som afbryder, idet den skifter mellem spærret og fuldt ledende tilstand.

Som afbryder kan en transistor sammenlignes med et relæ, hvor en styrestrøm (basisstrømmen) styrer en betydelig større arbejdsstrøm over relækontakterne (kollektor emitter).

Relækontakten:



Transistoren:



Transistorens fordele og begrænsninger:

Det ses således, at en transistor har meget tilfælles med et relæ eller en afbryder.

Transistoren har dog store fordele frem for et relæ. Dens forbrug er meget ringe og dens arbejdshastighed meget større.

Dog skal det her vises*, at der findes en grænse for den hastighed, hvormed en transistor er i stand til at behandle impulser.

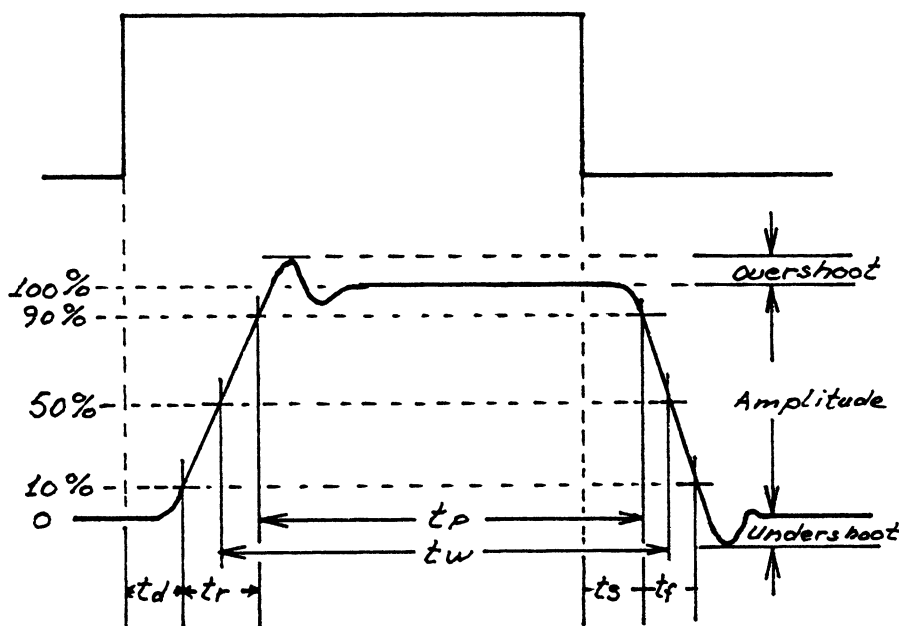
Det er således, at en impuls vil blive forsinket ved gennemløb af et transistortrin.

*

Impulsmåling praktikøvelse.



På nedenstående udgangsimpuls defineres de udtryk, der er af interesse for nøjere at belyse, hvad der er sket fra input til output i det kredsløb, impulsen har passeret.



IMPULSTIDEN: t_p

IMPULSBREDDEN: t_w

DELAY-TIME: t_d (forsinkelsestid)

RISE-TIME: t_r (stigetid)

STORAGE-TIME: t_s (lagertid)

FALL-TIME: t_f (faldetid)

TURN ON TIME: $t_{on} = t_d + t_r$

TURN OFF TIME: $t_{off} = t_s + t_f$

MARK TO SPACE RATIO: $MSR = \frac{t_p}{t_r + t_f}$



DISPOSITION

1. Logik
2. Logiske enheder

1. LOGIK

1.1 Logiske begreber

Når man i almindelighed hører udtrykkene logik eller logisk, forbinder man dermed begrebet om, at det er naturligt, at et vist resultat er opnået ud fra visse forudgående betingelser eller hændelser.

Det er sådanne betingelser og hændelsesforløb, man inden for teknikken søger at systematisere i diagrammer og kredsløb, hvor man ved hjælp af symboler angiver, hvilke betingelser der skal være til stede for opnåelse af det ønskede resultat.

Udtrykt på anden måde kan man sige, at man stiller spørgsmål om forskellige betingelser og skal derved få et svar tilbage, som enten skal være "JA" eller "NEJ".

Sådanne svar kan i teknikken fås på flere forskellige måder, såvel inden for elektronik og elektroteknik, som inden for pneumatik og hydraulik.

Inden for elektronik og elektroteknik omsættes disse "JA"- eller "NEJ"-svar til spændinger, der som regel er spændinger af en forud fastlagt størrelse.

Svaret (signalet) "JA" er fuld spænding, der almindeligvis betegnes 1, medens "NEJ" er ingen spænding eller en lav spænding, som betegnes 0.

1.2 Gate

De logiske enheder, der skal behandle de spørgsmål og betingelser, der stilles, kan opdeles i 3 grundenheder:

- AND - GATE
OR - GATE
NOT - GATE (Inverter)

Ud fra disse 3 grundenheder kan der sammensættes andre enheder:

NAND-gate
(NAND = NOT AND,
dansk: OG-IKKE)

NOR-gate = NOT OR,
dansk: ELLER-IKKE).

Endvidere kan der i den logiske teknik være brug for hukommelseenheder, dvs. enheder, der husker en information, selv om denne er kortvarig, samt tidsenheder der kun beholder eller forsinker en information i en forudbestemt tid og enheder, der afgiver informationer i bestemte tidsintervaller.

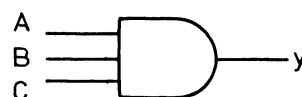
Til konstruktion og analyse af logiske kredsløb benytter man ofte en særlig regningsart, der betegnes Booles Algebra.

2. LOGISKE ENHEDER

2.1 AND -gate

Når en funktion skal finde sted, kræves det ofte, at flere betingelser skal være opfyldt samtidig.

Symbolet for en AND-gate er:



Betydningen af dette symbol er, at betingelserne A AND B AND C skal svare "ja" (1-signal) på samme tid, for at udgangen Y kan give svaret "ja" (1-signal).



Sagt på en anden måde, hvis blot en af indgangsbetingelserne ikke er til stede, skal udgangen Y svare "nej" (0-signal).

Dette kan opstilles i en sandhedstabel eller et kombinationsskema, hvor man kan overskue samtlige muligheder for kombinationer af indgangsbetingelserne.

C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Den viste sandhedstabel gælder for en 3-input AND-gate.

Hvis det samme skal udtrykkes i Booles Algebra, skrives:

$$A \cdot B \cdot C = Y$$

der læses:

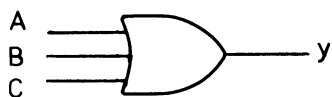
A AND B AND C

En AND-gate har altid to eller flere indgange.

2.2 OR-gate

Når flere betingelser hver for sig skal udløse en funktion, benyttes der en OR-gate.

Symbolet for en OR-gate er:



Betydningen af dette symbol er, at når blot en eller flere af indgangene er "ja" (1-signal), så svarer udgangen Y "ja" (1-signal).

Kun når ingen af indgangsbetingelserne er til stede, svarer udgangen Y "nej" (0-signal).

Sandhedstabellen for en OR-gate ser således ud:

C	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Det samme kan udtrykkes ved Booles Algebra, der skrives:

$$A + B + C = Y,$$

som læses:

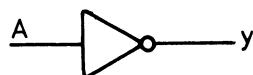
A OR B OR C

En OR-gate har altid to eller flere indgange.

2.3 Inverter

Såfremt der skal anvendes en betingelse, som er det modsatte af den, der er til rådighed, anvendes en inverter.

Symbolet for en inverter er:



Dette er i logikken let at udføre, da de svar, man kan forvente, kun er "ja" (1-signal) eller "nej" (0-signal).



Sandhedstabellen for en INV er:

A	Y
0	1
1	0

Det booleske udtryk for en INV er:

$$\bar{A} = Y,$$

der læses:

A negeret, A inverteret eller not A.

På en inverter findes der kun én indgang.

2.4 NAND-gate

En AND-gate efterfulgt af en INV kaldes en NAND-gate, der er forkortelsen af NOT AND.

Symbolet for en NAND-gate ser således ud:



En NAND-gate svarer "nej" (0-signal), når AND funktionen er opfyldt.

Det betyder, at alle indgange skal svare "ja" (1-signal) samtidig, for at udgangen svarer "nej" (0-signal).

Sandhedstabellen for en NAND-gate ser således ud:

C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Det samme udtrykt i Booles Algebra skrives:

$$\overline{A \cdot B \cdot C} = Y$$

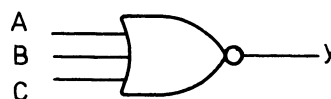
der læses:

A AND B AND C negeret.

2.5 NOR-gate

En OR-gate efterfulgt af en INV kaldes en NOR-gate, der er forkortelsen af NOT OR.

Symbolet for en NOR-gate er:



Dette symbol siger "nej" (0-signal), når blot en eller flere indgange svarer "ja" (1-signal) samtidig.

Sandhedstabellen for en NOR-gate er:

C	B	A	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Det samme udtrykt i Booles Algebra skrives:

$$\overline{A + B + C} = Y,$$

der læses:

A OR B OR C negeret.



DISPOSITION

1. AND- OR- INVERT-gates
2. Specielle indgange
3. Wired AND

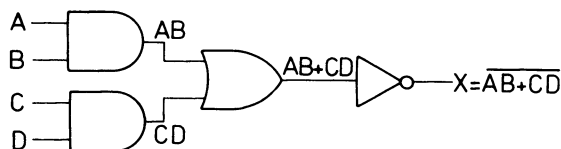
1. AND- OR- INVERT-GATES

Ofte er booleske udtryk mere komplekse end "rene" AND eller OR funktioner.

En meget anvendt gatetype med et mere kompliceret boolesk udtryk er AND- OR- INVERT-gaten.

1.1 Diagram og boolesk udtryk

Gaten består af to eller flere AND-gates forbundet til en NOR-gate.



Sandhedstabellen for ovenstående gate vil se således ud:

A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

1.2 Eksempel på datablad

51
DUAL 2-WIDE 2-INPUT
AND-OR-INVERT GATES

'51, 'H51, 'S51
positive logic:
 $Y = \overline{AB + CD}$

SN5451/SN7451(J, N)
SN54H51/SN74H51(J, N)
SN54S51/SN74S51(J, N, W)

MAKE NO EXTERNAL CONNECTION

SN5451/SN7451(W)
SN54H51/SN74H51(W)

'L51, 'LS51
positive logic:
 $1Y = (1A \cdot 1B \cdot 1C) + (1D \cdot 1E \cdot 1F)$
 $2Y = (2A \cdot 2B) + (2C \cdot 2D)$

SN54L51/SN74L51(J, N)
SN54LS51/SN74LS51(J, N, W)

MAKE NO EXTERNAL CONNECTION

SN54L51/SN74L51(T)

See page 110

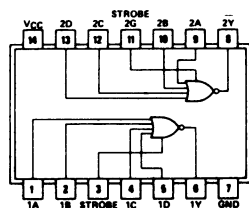


2. SPECIELLE INDGANGE

2.1 Strobe-indgang

Strobe-indgangen er en indgang, der kan blokere gaten, således at gaten kun aktiveres, når der kommer signal på strobe-indgangen.

En sådan gate er f.eks. SN7425, der er en dual 4-input NOR-gate med strobe.



SN5425/SN7425 (J, N, W)

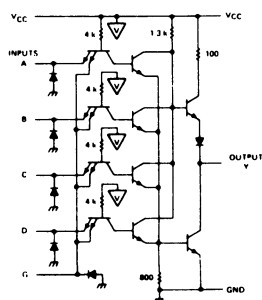
Det booleske udtryk for gaten er:

$$Y = \overline{G (A + B + C + D)}$$

Med $G = 0$, er $Y = 1$, uanset værdierne af A , B , C eller D .

I kredsløbet køres alle indgangstransistorerne ON, når der er 0V på G .

Når $G = 1$, bestemmes Y af A , B , C og D .

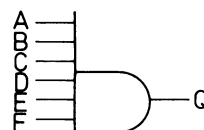


'25 CIRCUITS

2.2 Gates med mange inputs

For at forenkle det har vi indtil nu kun behandlet logiske gate-funktioner med få inputvariable. Imidlertid er der ingen begrænsninger på antallet af variable, som en boolesk funktion kan indeholde. Hvad angår praktiske forhold, så er der en grænse for antallet af inputs, en logisk gate kan have.

Antag, at vi har en 6-input AND-gate. Den kan repræsenteres symbolsk som:



hvor $Q = A \cdot B \cdot C \cdot D \cdot E \cdot F$ dvs., at $Q = 1$, hvis A og B og C og D og E og F alle er 1.

Hvis antallet af inputvariable er n , er antallet af inputkombinationer 2^n .



Eksempel :

En AND-gate med 5 input har 32 inputkombinationer. Sandhedstabellen vil se således ud :

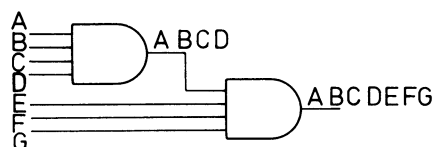
Inputvariable					Q
A	B	C	D	E	Q
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	0
-----					0
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0
-----					0
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0
-----					0
1	1	0	0	0	0
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	1
-----					1

Skal man fremstille en boolesk funktion med mange inputvariable og ikke kan finde en gate med tilstrækkeligt mange indgange, så er det stadig muligt at klare problemet, idet man så anvender flere gates.

Eksempel :

Antag, at vi behøver en AND-gate med syv indgange, men at vi kun har gates til rådighed med 4 inputs.

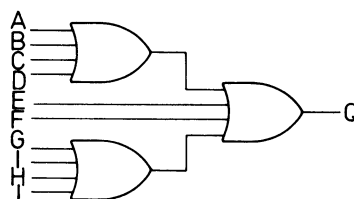
Vi forbinder simpelthen to gates, som vist her :



Eksempel 2 :

Antag, at vi behøver en OR-gate med ti indgange, men kun har gates til rådighed med fire indgange.

Vi forbinder tre gates som vist :



Som det fremgår, kan enhver funktion fremstilles, ligegyldig hvor stort antallet af inputs er.

Et andet problem, som opstår for konstruktøren af logiske kredsløb, er, at han har en gate med flere indgange, end han har brug for.

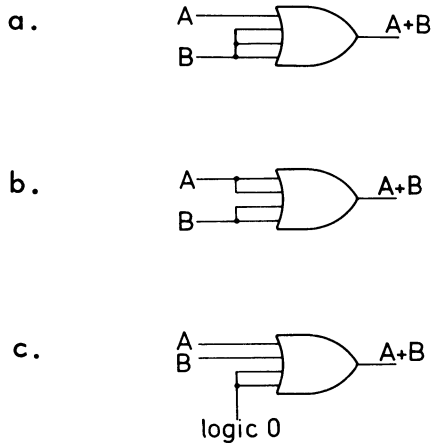


Dette kan klares på forskellige måder:

- Forbind to eller flere inputs sammen til ét input.
- Forbind ekstra inputs til en spænding svarende til 1 eller 0, som det nu passer sig.

Eksempel:

Antag, at vi har en 4-input OR-gate til rådighed og ønsker at fremstille funktionen $A + B$. Følgende er mulige løsninger:

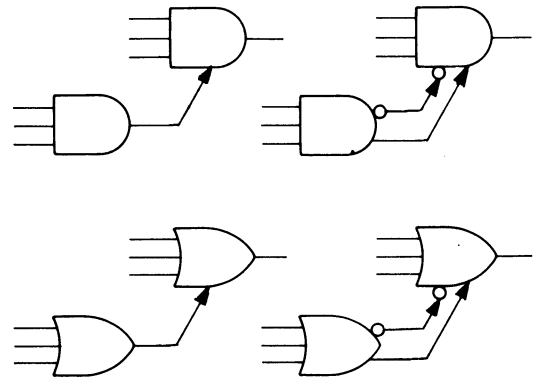


Hvis metoden C anvendes, skal overflødige inputsforbindelse til OR- eller NOR-gates forbindes til logisk "0" spænding, og for AND- eller NAND-gates skal overflødige inputs forbindes til logisk "1" spænding.

2.3 Expanderindgange

En boolesk funktion med mange inputs kan fremstilles af "expandable gates" og "expanders".

En expandabel gate kan selvstændigt udføre en boolesk funktion, expanderporten er et sæt indgange, der tilkobles den expandable gate med en eller to forbindelser.

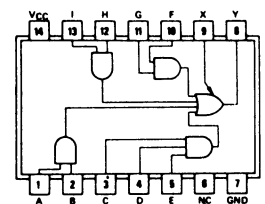


Eksempel 1:

En expandable 4-wide AND-OR-gate SN7452 kan udvides med en expander SN74H61.

52 EXPANDABLE 4-WIDE AND-OR GATES

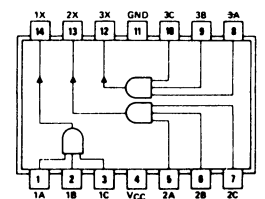
'H52(J, N)
positive logic:
 $Y = AB + CDE + FG + HI + X$
X = output of SN54H61/SN74H61



SN54H52/SN74H52(J, N)

61 TRIPLE 3-INPUT EXPANDERS

positive logic:
X = ABC when connected to X input of
SN54H52/SN74H52

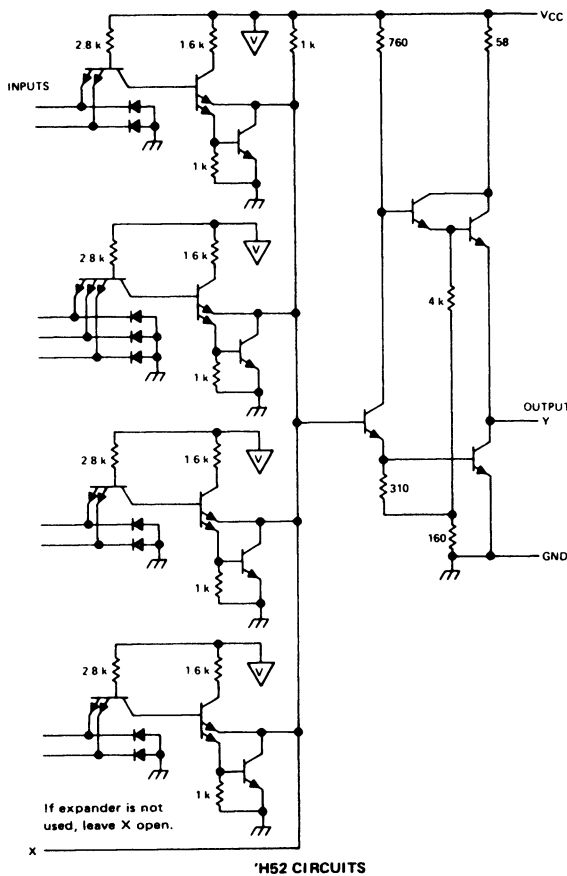


SN54H61/SN74H61(W)



Forbindelsen mellem SN74H52 og SN74H61 etableres ved at forbinde X-udgangen på SN74H61 med X-indgangen på SN74H52.

Elektrisk ser de to gates således ud:



Eksempel 2:

En expandable 4-wide AND-OR-INVERT-gate SN7453 udvides med en expander SN7460.

53

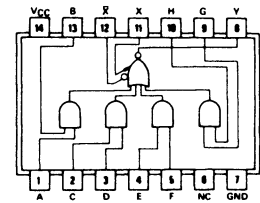
EXPANDABLE 4-WIDE AND-OR-INVERT GATES

'53

positive logic:

$$Y = AB + CD + EF + GH + X$$

X = output of SN5460/SN7460



SN5453/SN7453(J, N)

60

DUAL 4-INPUT EXPANDERS

'60

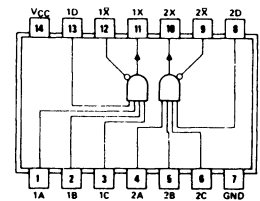
positive logic:

X = ABCD when connected to X and \bar{X} inputs of SN5423/SN7423, SN5450/SN7450, or SN5453/SN7453

'H60

positive logic:

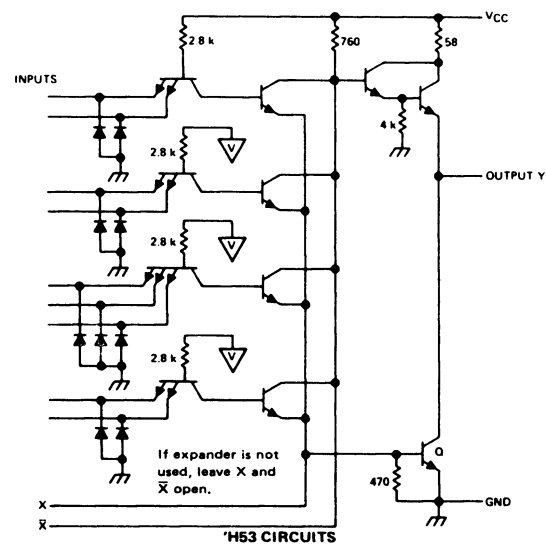
X = ABCD when connected to X and \bar{X} inputs of SN54H50/SN74H50, SN54H53/SN74H53, or SN54H55/SN74H55



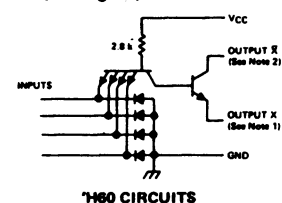
SN5460/SN7460(J, N)
SN54H60/SN74H60(J, N)

Forbindelsen mellem SN7453 og SN7460 etableres ved at forbinde X-udgangen på 7460 med X-indgangen på 7453, samt forbinde \bar{X} -udgangen på 7460 med \bar{X} -indgangen på 7453.

Elektrisk ser de to gates således ud:



schematics (each gate)





3. WIRED AND

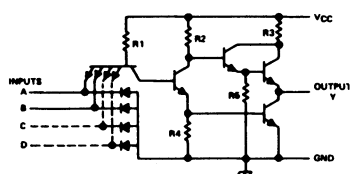
3.1 Gatens udgang

I TTL-gates kan udgangen i gaten være udført på tre forskellige måder:

- a. Med "totem-pole" output, og så kaldet aktiv pull-up, idet udgangen består af to transistorer, hvoraf den ene er OFF og den anden ON.

Eksempel:

SN7437, NAND-gate



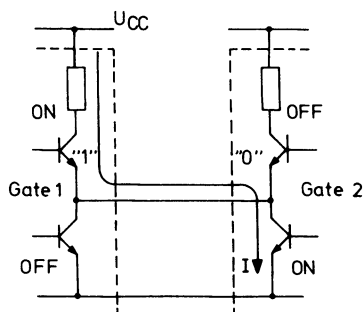
'37, '40, 'H40 CIRCUITS

	'37	'40	'H40
R1	4 k	4 k	1.4 k
R2	600	600	390
R3	100	100	45
R4	400	400	250
R5	4 k	4 k	2 k

Udgangsimpedansen er lav, uanset om output er 0 eller 1.

Gates med "totem-pole" udgang må ikke forbindes sammen.

Tænker man sig to udgange forbundet sammen, hvoraf den ene har den logiske værdi 1 og den anden logisk 0, er der forbindelse fra U_{CC} til stel gennem to transistorer, der er ON. De to transistorer vil ødelægges.



- b. Udgangen kan være udført med "3-state totem-pole output".

I digitalteknikken er det vedtaget, at en udgang kun kan antage to logiske værdier, nemlig "0" og "1". Imidlertid kan en gate med "3-state" output bringes til at virke som afbrydelse set fra udgangen, dette sker ved at bringe begge transistorer i "totem-pole" udgangen OFF.

Eksempel:

SN74126, BUFFER-gate

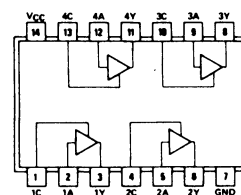
126

QUADRUPLE BUS BUFFER GATES WITH THREE-STATE OUTPUTS

positive logic:

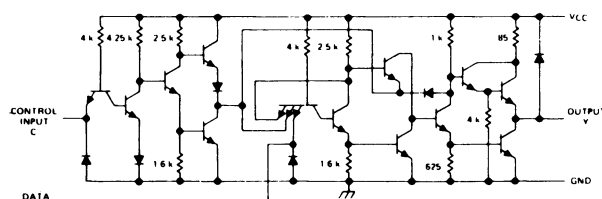
$Y = A$

Output is off (disabled) when C is low.



SN54126/SN74126(J, N, W)

Output er OFF, når der er "0" på C.



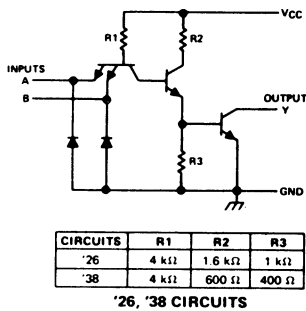
'126 CIRCUITS

Gates med "3-state totem-pole output" er beregnet til, at udgangene forbindes sammen. Med et styrekredsløb sørges der for, at kun en gate ad gangen er åben.

c. Udgangen kan også være med "Open collector".

Eksempel :

SN7438, NAND-gate



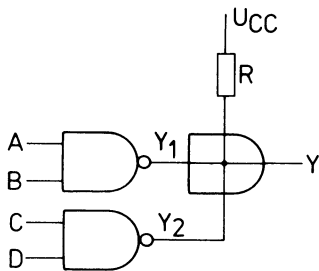
Kredsløbet skal forbindes med en udvendig kollektormodstand, når udgangen har den logiske værdi 1, er udgangstransistoren OFF, når udgangen har den logiske værdi 0, er udgangstransistoren ON.

Gates med open-collector forbindes ofte sammen med en fælles kollektormodstand.

3.2 Wired-AND funktionen

Når open-collector gates forbindes sammen med en fælles kollektormodstand, dannes en logisk AND-funktion.

Symbolet for denne funktion er :

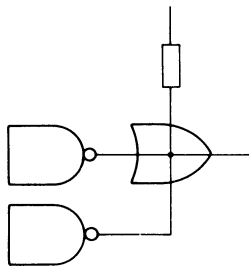


Sandhedstabellen for wired-AND funktion er :

$Y_1 = \overline{AB}$	$Y_2 = \overline{CD}$	Y
0	0	0
0	1	0
1	0	0
1	1	1

Wired-AND funktion er en AND-funktion i positiv logik, i negativ logik er det en OR-funktion.

Ofte ser man udtrykket "wired-OR" eller symbolet for wired-OR anvendt for open-collector gates i forbindelse med positiv logik.



Dette er imidlertid misvisende, da der er tale om en AND-funktion.



DISPOSITION

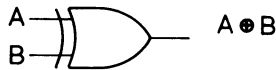
1. EX-OR-gate
2. Datablad 54/7486

1. EX-OR-GATE

Exclusive-OR-gaten kan bruges til at detektere forskel mellem to binære digits. Da gaten har denne egenskab, kaldes den ofte ulighedsdetektor. Hvis et af de to inputs er logisk 1, og det andet input er 0, vil output være logisk 1. Hvis input er ens på de to indgange, er output 0.

Exclusive-OR-gaten anvendes også i additionskredsløb.

1.1 Symbol og sandhedstabel



A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

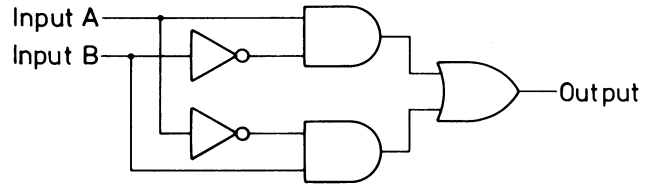
1.2 Boolesk funktion

Den booleske funktion kan skrives som:

$$X = A \bar{B} + \bar{A} B = A \oplus B.$$

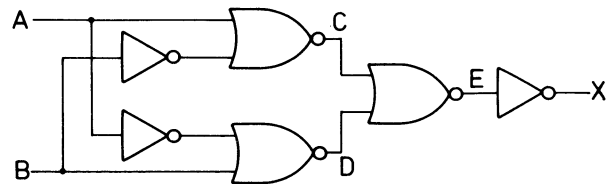
EX-OR-gaten er mere kompliceret end den almindelige AND- eller OR-gate, men den kan opbygges ved hjælp af disse.

Det viste kredsløb er opbygget af AND- og OR-gates efter $Q = A \bar{B} + \bar{A} B$.



Af økonomiske grunde er det praksis at bruge kredsløb af samme type. Derfor opbygges EX-OR-gaten af NAND- eller NOR-gates.

NOR-versionen er vist nedenfor.



Funktionen af kredsløbet kan afprøves ved at anvende de Morgan på udtrykket:

$$X = A \bar{B} + \bar{A} B$$

$$X = \overline{\overline{A \bar{B} + \bar{A} B}}$$

$$\text{hvor } \overline{A \bar{B}} = D \text{ og } \overline{\bar{A} B} = C$$

$$X = C + D = \bar{E}$$





DISPOSITION

1. Logikformer

1. LOGIKFORMER

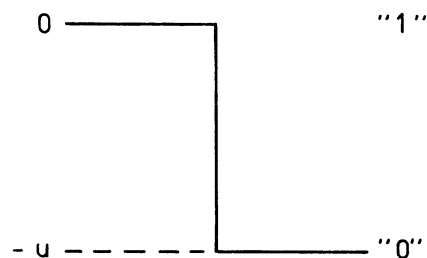
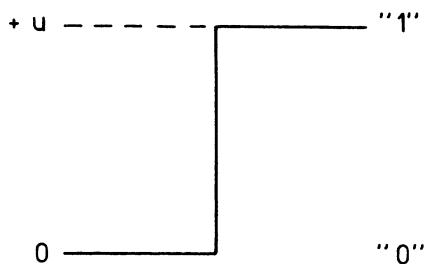
1.1 Gate-symboler

Gate-symboler fortæller intet om, hvilke spændinger der skal påtrykkes indgangene for at få opfyldt en funktion.

1.2 Positiv logik

I positiv logik er den mest positive spænding logisk "1" og den mest negative spænding logisk "0".

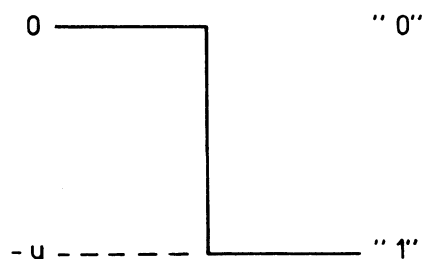
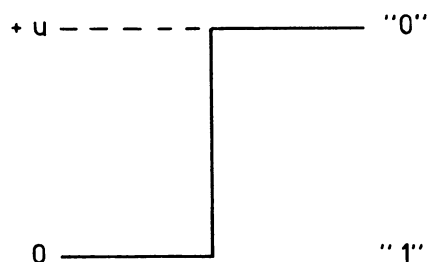
Spænding Logisk værdi



1.3 Negativ logik

I negativ logik er den mest negative spænding logisk "1", og den mest positive spænding er logisk "0".

Spænding Logisk værdi



1.4 Elektrisk kredsløb

Det elektriske kredsløb kender intet til den logiske værdi, men reagerer kun på spændinger.

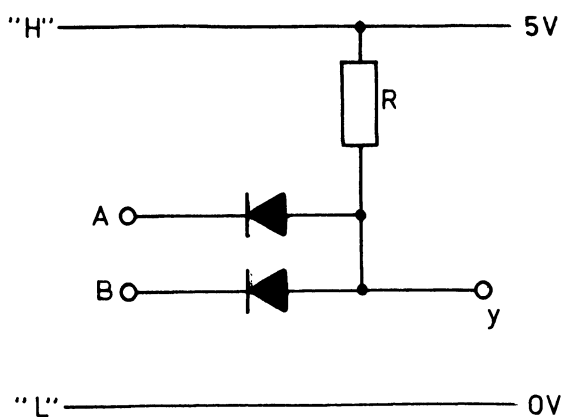
Kredsløbets logiske funktion afhænger derfor af, hvilken logikform der vælges.

Til analyse af et elektrisk kredsløb kan en niveautabel anvendes; den ligner en sandhedstabel i opbygningen, men fortæller kun om spændingsniveauer og ikke om logiske værdier.

Ved kendskab til logikformen kan tabellen ændres til en sandhedstabel.



I niveautabellen anvendes "H" for den mest positive spænding og "L" for den mest negative spænding.



I negativ logik bliver sandhedstabelen således:

"L" svarer til "1"

"H" svarer til "0"

B	A	Y
1	1	1
1	0	1
0	1	1
0	0	0

Det viste kredsløb har følgende niveautabel:

B	A	Y
L	L	L
L	H	L
H	L	L
H	H	H

Dvs. det samme kredsløb virker som OR-gate i negativ logik.

Ethvert logisk kredsløb kan både anvendes til positiv og til negativ logik.

Tabellen viser, hvilken logisk funktion et kredsløb har i henholdsvis positiv og negativ logik.

I positiv logik bliver sandhedstabelen således:

"L" svarer til "0"

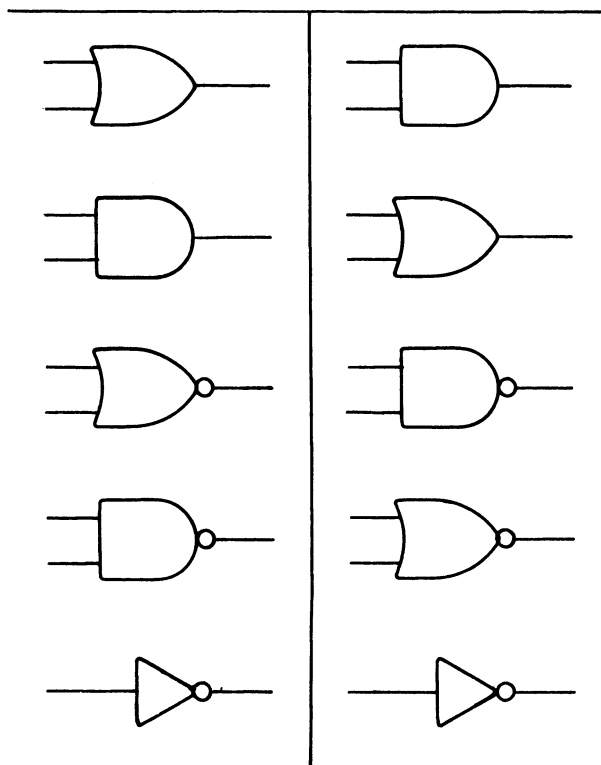
"H" svarer til "1"

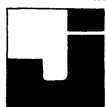
B	A	Y
0	0	0
0	1	0
1	0	0
1	1	1

Som det ses, virker det viste kredsløb som en AND-gate i positiv logik.

Positiv logik

Negativ logik





DISPOSITION

1. Boole's algebra
2. Booleske love
3. De Morgans love
4. Sandhedstabel
5. Impulsplan
6. Normalform
7. Karnaughkort
8. Quine-Mc Cluskey's reduktionsmetode
9. Boolesk udtryk på kredsløb

1. BOOLE'S ALGEBRA

Den booleske algebra har fået navn efter George Boole, som introducerede algebraen i 1847. Imidlertid stammer anvendelserne af binære funktioner fra 1938, efter at Shannon havde vist nytten af algebraen.

Den booleske algebra bygger på, at de variable kun kan antage to tilstande eller to værdier. Derfor er boolesk algebra velegnet til at beskrive digitale kredsløb, som arbejder i den ene eller den anden af de to tilstande.

Ved hjælp af den booleske algebra er det muligt at beskrive logiske kredsløb helt entydigt og ved hjælp af algebraens regneregler, eventuelt foretage en reduktion, og derved opnå et simpere kredsløb.

1.1 Regnetegn

Som nævnt i afsnittet om gates indgår der nogle regnetegn i boolesk algebra, disse er:

- + betegner OR, eller
- betegner AND, og
- = lighedstegn

Ud over disse findes der et inversionstegn, som markeres ved en streg over det, der skal invertteres, og det betegnes ved NOT, ikke, eller komplement.

F.eks. læses \bar{A} som: A komplement eller ikke A.

1.2 Definitionsmæssige regler

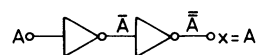
1. $\bar{0} = 1$ INVERTER
2. $\bar{1} = 0$ INVERTER
3. $1 \cdot 1 = 1$ AND-gate
4. $1 \cdot 0 = 0$ AND-gate
5. $0 \cdot 0 = 0$
6. $1 + 1 = 1$ OR-gate
7. $1 + 0 = 1$ OR-gate
8. $0 + 0 = 0$

2. BOOLESKE LOVE

I det følgende vil nogle af de grundlæggende love blive belyst ved hjælp af gates.

2.1 Invert identiteter

§ 1. $\bar{\bar{A}} = A$



Hvis A er 0, er udgangen 0, hvis A er 1, er udgangen 1.

2.2 OR-identiteter

§ 2. $0 + A = A$



Udgangen vil antage samme logiske værdi som A.



$$\S 3. 1 + A = 1$$



Udgangen vil antage værdien 1 uanset A.

$$\S 4. A + \bar{A} = 1$$



En af indgangene vil have værdien 1, uanset A's tilstand. Udgangen er da konstant 1.

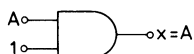
$$\S 5. A + A = A$$



Begge indgange vil samtidig antage A's værdi, hvorfor udgangen vil få værdien A.

2.3 AND-identiteter

$$\S 6. 1 \cdot A = A$$



Når $A = 0$, er udgangen 0, ved $A = 1$ er udgangen 1.

$$\S 7. 0 \cdot A = 0$$



Når blot én indgang på en AND-gate er 0, er udgangen 0.

$$\S 8. A \cdot \bar{A} = 0$$



Uanset A's tilstand vil en af indgangene have værdien 0, hvorfor udgangen altid er 0.

$$\S 9. A \cdot A = A$$



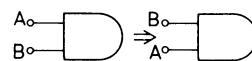
Når $A = 1$, er begge indgange 1, hvorfor udgangen får værdien 1. Ved $A = 0$, er begge indgange 0, og udgangen har værdien 0.

2.4 Den kommutative lov

Den kommutative lov udtrykker den frihed, der ligger i faktorerens og leddenes orden.

$$\S 10. A + B = B + A$$

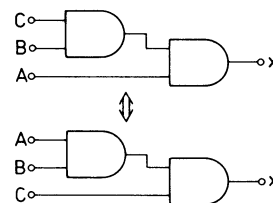
$$\S 11. A \cdot B = B \cdot A$$



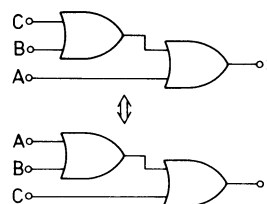
2.5 Den associative lov

Den associative lov angiver, hvorledes der kan sættes parenteser.

$$\S 12. A \cdot (B \cdot C) = (A \cdot B) \cdot C = A \cdot B \cdot C$$



$$\S 13. A + (B + C) = (A + B) + C$$

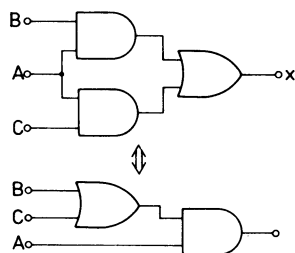




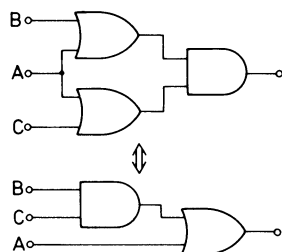
2.6 Den distributive lov

Den distributive lov angiver, hvorledes det er muligt at sætte en fælles variabel uden for en parentes.

$$\S 14. A \cdot B + A \cdot C = A \cdot (B + C)$$

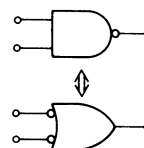


$$\S 15. (A + B) \cdot (A + C) = A + (BC)$$



3.1 De Morgans lov for AND

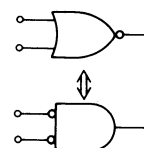
$$\S 16. \overline{A \cdot B} = \overline{A} + \overline{B}$$



A	B	\overline{A}	\overline{B}	$\overline{A \cdot B}$	$\overline{A} + \overline{B}$
0	0	1	1	1	1
0	1	1	0	1	1
1	0	0	1	1	1
1	1	0	0	0	0

3.2 De Morgans lov for OR

$$\S 17. \overline{A + B} = \overline{A} \cdot \overline{B}$$



A	B	\overline{A}	\overline{B}	$\overline{A + B}$	$\overline{A} \cdot \overline{B}$
0	0	1	1	1	1
0	1	1	0	0	0
1	0	0	1	0	0
1	1	0	0	0	0

3. DE MORGANS LOVE

De Morgans love hører til de mest anvendte love i boole's algebra. Ved at anvende dem, er det let at manipulere med boole's algebraiske udtryk og reducere dem til de mest anvendelige elektroniske kredsløb.

Før denne anvendelse forklares, er det nødvendigt at forstå de Morgans love.



3.3 Anvendelse af de Morgans lov

Reglerne for transformation med de Morgan er, at alt skal ændres.

1. AND ændres til OR, og OR ændres til AND.
2. De logiske værdier af de variable ændres, A til \bar{A} og \bar{A} til A.
3. Den logiske værdi af hele udtrykket ændres, (udtryk) ændres til $\overline{(\text{udtryk})}$, og $\overline{(\text{udtryk})}$ ændres til (udtryk).

Eksempler :

a) $\overline{A \cdot B}$

1. $\overline{A + B}$

2. $\bar{A} + \bar{B}$

3. $\bar{A} + \bar{B}$

b) $\overline{\bar{A} \cdot \bar{B} \cdot \bar{C}}$

1. $\bar{A} + \bar{B} + \bar{C}$

2. $A + B + C$

3. $\overline{A + B + C}$

De Morgans love behøver ikke nødvendigvis at blive anvendt på hele det booleske udtryk. De er ofte anvendt på dele af udtrykket for at få hele udtrykket på en bestemt form.

Eksempel :

Antag, at udtrykket $A + \bar{B}\bar{C}$ skal fremstilles uden brug af en AND-gate. Ved første øjekast ser det noget vanskeligt ud, men ved anvendelse af de Morgans love bliver problemet trivielt, fordi udtrykket $\bar{B}\bar{C}$ kan ændres ved hjælp af de Morgan, således :

$$\bar{B}\bar{C} = \overline{B + C}$$

således at

$$A + \bar{B}\bar{C} = A + \bar{B} + \bar{C}$$

og her anvendes kun OR-gates.

På tilsvarende måde kan udtrykket transformeres således, at ingen OR-gate er nødvendig. Hvis udtrykket $\bar{B}\bar{C}$ betragtes som én variabel, får vi :

$$A + \bar{B}\bar{C} = \overline{\bar{A} \bar{B}\bar{C}}$$

3.4 Reducering med de Morgan

Det er allerede nævnt, at de Morgans love er meget anvendelige til simplificering af booleske udtryk.

Betragt udtrykket

$$\overline{(\bar{A}\bar{B} + \bar{C})} + \overline{(\bar{A} + \bar{B}\bar{C})}$$

Dette kunne være første udkast til løsning af et problem. Vi må undersøge, om udtrykket kan reduceres for at spare unødige logiske gates.

Bruger vi de Morgans love, så får vi :

$$\overline{\bar{A}\bar{B} + \bar{C}} = A\bar{B}C \quad \text{for første led}$$

$$\overline{\bar{A} + \bar{B}\bar{C}} = A\bar{B}\bar{C} \quad \text{for andet led,}$$

derfor fås $A\bar{B}C + A\bar{B}\bar{C}$

Yderligere reduktion forekommer, når man sætter $A\bar{B}$ uden for en parentes

$$A\bar{B} (C + \bar{C})$$

Da vi ved, at $(C + \bar{C}) = 1$, får vi :

$$\underline{\underline{A\bar{B}}}$$

Dette er tydeligt mere simpelt end det ureducerede udtryk.



3.5 Anvendelse af de Morgans love på mere indviklede udtryk

Nogle booleske udtryk kræver adskillige transformationer med de Morgans love, før de er på ren AND- eller OR-form, også selv om de er udtrykt relativt simpelt.

Denne gentagne anvendelse af de Morgans love er nødvendig for, at konverteringen til NOR- og NAND-kredsløb kan virkeliggøres.

I disse situationer er det nødvendigt at starte konverteringen i det inderste led inden i parenteserne. Det hjælper ofte at vise de underforståede parenteser for at klare identifikationen af de enkelte led.

Eksempel:

Antag, at følgende udtryk skal konverteres til ren NOR-logik.

$$\overline{A} \cdot [(B + C) \cdot D] \cdot \overline{A}$$

Læg først mærke til, at deludtrykket til højre for \overline{A} er inverteret. For at klare op på situationen hjælper det at vise parenteserne, som er underforstået omkring sidste del af udtrykket. Dvs., at hele udtrykket kan skrives:

$$\overline{A} \cdot \{[(B + C) \cdot D] \cdot \overline{A}\}$$

Vi starter inde i udtrykket og arbejder os ud, vi ser, at den inderste parentes kan indeholde en OR-funktion. Den næste parentes indeholder leddet $(B + C) D$. AND-funktionen må ændres ved hjælp af de Morgans love således, at udtrykket nu bliver:

$$\overline{A} \cdot \{[(\overline{B + C}) + \overline{D}] \cdot \overline{A}\}$$

Den yderste parentes indeholder en AND-funktion og må således også behandles med de Morgans love

$$\overline{A} \cdot \{[(\overline{B + C}) + \overline{D}] + A\}$$

Læg mærke til, at leddet inden for den firkantede parentes er behandlet som værende én enkelt variabel.

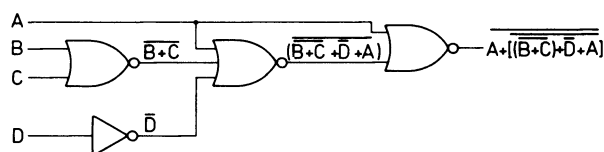
Sidste trin er at fjerne AND-funktionen uden for den yderste parentes:

$$A + \{[(\overline{B + C}) + \overline{D}] + A\}$$

Nogle af parenteserne er nu overflødige og kan fjernes. Udtrykket bliver:

$$A + (\overline{B + C}) + \overline{D} + A$$

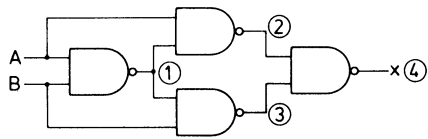
Logikdiagrammet kan også konstrueres, dette gøres nemmest fra udgang mod indgang.



4. SANDHEDSTABEL

4.1 Fra kredsløbsdiagram til sandhedstabel

Et vilkårligt kredsløbs booleske funktion kan findes ved hjælp af en sandhedstabel. Denne fremgangsmåde har den fordel, at funktionen fremkommer på standard-sumform og kan derfor anvendes direkte til f.eks. karnaugh-kortet.



Først opstilles en sandhedstabel for det antal variable, kredsløbet føler på, her to:

	①	②	③	④=X
A B	$\overline{A} \cdot B$	$A \cdot \overline{B}$	$A \cdot B$	$\overline{A} \cdot \overline{B}$
0 0	1	1	1	0
0 1	1	1	0	1
1 0	1	0	1	1
1 1	0	1	1	0

Dernæst findes funktionen i punkt ① . Der fortsættes med punkt ② ----- derefter punkt ③ -----, og funktionen findes i punkt ④ .

Den endelige sandhedstabel er altså:

A B	X
0 0	0
0 1	1
1 0	1
1 1	0

4.2 Fra sandhedstabel til Boole

Det booleske udtryk for funktionen kan nu tages ud af sandhedstabelen ved at udlæse ettallerne.

A B	X
0 0	0
0 1	1
1 0	1
1 1	0

X = A·B̄ + Ā·B

Sandhedstabellen er ikke kun et redskab, som kan illustrere booleske funktioner, men også et middel til at reducere dem, hvis det i det hele taget er muligt. F.eks., en boolesk funktion udtrykkes på en simplere form. For at finde denne, kan man konstruere en sandhedstabel og så undersøge den for en mere simpel løsning, som i følgende eksempel.

Betragt udtrykket $\overline{(A + B)} + \overline{A} \cdot B$.

Sandhedstabellen kan udledes på sædvanlig måde.

A	B	\overline{A}	\overline{B}	$\overline{A+B}$	$\overline{(A+B)} + \overline{A} \cdot B$
0	0	1	0	1	1
0	1	1	1	0	1
1	0	0	0	0	0
1	1	0	0	0	0

Undersøg slutkolonnen, som viser $\overline{(A + B)} + \overline{A} \cdot B$, og det viser sig, at

$\overline{(A + B)} + \overline{A} \cdot B = \overline{A} \cdot B + \overline{A} \cdot B = \overline{A}$

Dette er en betragtelig simplificering. Denne metode er grundlaget for en metode, som kaldes "anvendelse af karnaughkort", som bliver introduceret senere.

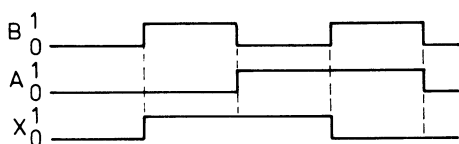


4.3 Fra sandhedstabel til impulsplan

Ud fra sandhedstabellen kan der tegnes en impulsplan over funktionen. En impulsplan er en grafisk fremstilling af sandhedstabellen.

Med udgangspunkt i sandhedstabellen tegnes først de to indgangsvariable.

A	B	X
0	0	0
0	1	1
1	0	1
1	1	0



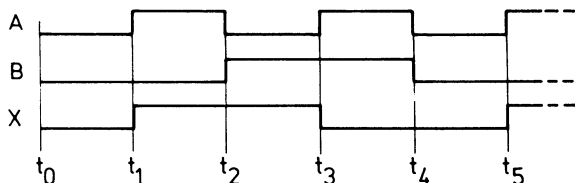
Derefter tegnes udgangsimpulser i overensstemmelse med kredsløbets funktion.

5. IMPULSPLAN

5.1 Fra impulsplan til boolesk udtryk

Med udgangspunkt i en impulsplan kan det booleske udtryk noteres, idet hver kombination af de indgangsvariable, der giver logisk 1 på udgangen, noteres.

Eksempel :



I den ovenstående impulsplan er funktionen sand ($X = 1$) fra t_1 til t_2 og fra t_2 til t_3 .

A og B udlæses i tiden $t_1 - t_2$ som :

$$t_1 - t_2 : A\bar{B}$$

og i tiden $t_2 - t_3$ som :

$$t_2 - t_3 : \bar{A}B$$

X får derved følgende udseende :

$$X = A\bar{B} + \bar{A}B$$

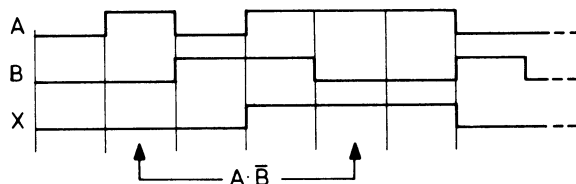
Dette genkendes som en Exclusive OR:

$$X = A \oplus B$$

5.2 Kredsløb med flip-flop's

Hvis det ved udlæsningen af en impulsplan viser sig, at den samme indgangstilstand kan give både et og nul på udgangen, indeholder det kredsløb, impulsplanen beskriver, en form for bistabile elementer, flip-flop's, eller tilbagekobling.

Eksempel :



Den ovenfor viste impulsplan beskriver funktionen af et kredsløb.

For det første bemærkes, at A og B ikke følger den binære kode over hele det viste interval.

Dernæst kan det ses, at udgangen kan være både 1 og 0 for $A\bar{B}$.

Kredsløbet indeholder altså en flip-flop.

Det drejer sig om at finde de booleske udtryk for de logiske kredse, der styrer flip-flop'en.



Dette kan gøres på følgende måde.

De forskellige kombinationer for X og \bar{X} findes:

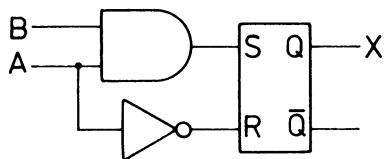
$$\bar{X} = \bar{A}\bar{B} + A\bar{B} + \bar{A}B = \bar{A}$$

$$X = AB + A\bar{B} = AB$$

Dernæst slettes de led, der er fælles for begge udtryk. Det ses at være tilfældet med $\bar{A}\bar{B}$.

Den resterende del af udtrykkene reduceres så meget som muligt.

Idet Q-udgangen på en flip-flop sættes lig med X , ses det, at tilstanden (AB) skal sætte FF'en i stilling 1, medens (\bar{A}) skal sætte ff'en i stilling 0. Ved anvendelse af en RS-FF får kredsløbet følgende udseende:



6. NORMALFORM

6.1 Normalprodukt

Et normalprodukt er et boolesk udtryk, der indeholder alle variable én gang, i sand eller negeret form.

For eksempel, med to variable A og B er $\bar{A}B$ et normalprodukt, med tre variable A , B og C er $\bar{A}\bar{B}C$ et normalprodukt.

Dette kaldes også i engelsksprogede lærebøger for "canonical product" eller "minterm".

6.2 Normalsum

En normalsum er et boolesk udtryk, der indeholder alle variable én gang, i sand eller negeret form. For eksempel, med tre variable A , B og C er $\bar{A} + B + C$ en normalsum.

Dette kaldes også i engelsksprogede lærebøger for "canonical sum" eller "maxterm".

6.3 Sum af normalprodukt

Udtrykket $\bar{A}\bar{B}C + \bar{A}B\bar{C}$ er en sum af normalprodukter.

Dette kaldes også i engelsksprogede lærebøger for "disjunctive normal form", "first canonical form" eller "minterm sum".

6.4 Produkt af normalsummer

Udtrykket $(A + B + C)(\bar{A} + B + \bar{C})$ er et produkt af normalsummer.

Dette kaldes også i engelsksprogede lærebøger for "conjunctive normal form", "second canonical form" eller "maxterm produkt".

6.5 Udlæsning af sandhedstabel

Betragt følgende sandhedstabel:

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Det er sandhedstabellen for EX-OR-funktionen.

Funktionen kan udlæses som en sum af normalprodukter, hvis A og B opskrives som produkter for alle værdier, hvor $Q = 1$, altså:

$$Q = \bar{A}B + A\bar{B}$$

Funktionen kan også udlæses som produkt af summer, hvis A og B opskrives som summer for alle værdier, hvor $Q = 0$, altså:

$$Q = (\bar{A} + \bar{B})(A + B)$$



7. KARNAUGHKORT

Karnaughkort er et middel til representation af binære funktioner og bruges til at opnå et simplificeret boolesk udtryk fra en sandhedstabel. For at man kan udfylde et karnaughkort, skal det booleske udtryk være på "sum af normalprodukter"-form. I de fleste tilfælde må man gå over en sandhedstabel for at opnå denne form.

Følgende eksempel viser, hvordan et kompliceret udtryk kan reduceres til "sum af normalprodukter"-form ved hjælp af sandhedstabel. Funktionen Q er gyldig for alle input-kombinationer, som giver Q en værdi 1.

$$Q = \bar{A} \{ [(B+C) \cdot D] \cdot \bar{A} \}$$

A	B	C	D	B+C	(B+C)D	[(B+C)D]A	[(B+C)D]A	Q
0	0	0	0	0	0	0	1	1 (1)
0	0	0	1	0	0	0	1	1 (2)
0	0	1	0	1	0	0	1	1 (3)
0	0	1	1	1	1	1	0	0
0	1	0	0	1	0	0	1	1 (4)
0	1	0	1	1	1	1	0	0
0	1	1	0	1	0	0	1	1 (5)
0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	1	0
1	0	1	0	1	0	0	1	0
1	0	1	1	1	1	0	1	0
1	1	0	0	1	0	0	1	0
1	1	0	1	1	1	0	1	0
1	1	1	0	1	0	0	1	0
1	1	1	1	1	1	0	1	0

Den sidste kolonne i sandhedstabelen viser, at funktionen kan skrives:

$$Q = \underbrace{\bar{A} \bar{B} \bar{C} \bar{D}}_1 + \underbrace{\bar{A} \bar{B} \bar{C} D}_2 + \underbrace{\bar{A} \bar{B} C \bar{D}}_3 + \underbrace{\bar{A} B \bar{C} \bar{D}}_4 + \underbrace{\bar{A} B C \bar{D}}_5$$

Denne sum af normalprodukter kan indtegnes i et karnaughkort.

Der er 16 mulige kombinationer med fire variable. Hver af disse er et normalprodukt. Sandhedstabelen giver værdien for hvert normalprodukt af funktionen.

Et karnaughkort anvender informationen fra sandhedstabelen og organiserer den visuelt, så det bliver nemmere at simplificere funktionen.

Et karnaughkort af sandhedstabelen fra eksemplet viser hvert af de 16 normalprodukters funktioner for Q.

Værdi af AB	00	01	11	10
00	1	1	0	0
01	1	0	0	0
11	0	0	0	0
10	1	1	0	0

Dette felt i kortet viser, at når AB er 01 og CD er 10, så er Q = 1, dvs. når A er 0, B er 1, C er 1 og D er 0 ($\bar{A}BC\bar{D}$), Q = 1 (se term (5)).

7.1 Reducering med karnaughkort

På karnaughkortet er der et kvadrat for hvert normalprodukt.

3 variable svarer til 8 kvadrater.
4 variable svarer til 16 kvadrater.

Kortet fremstilles således, at man nemt kan finde de udtryk, som ændrer state, inverteret eller ikke inverteret, af én enkelt variabel.

Som eksempel, hvis $Q = \overline{A} B \overline{C} + \overline{A} B C$, de to udtryk er kun forskellige, fordi den ene indeholder \overline{C} og den anden C .

Vi ved, at dette giver $\overline{A} B$.

$$\begin{aligned}
 Q &= \overline{A} B \overline{C} + \overline{A} B C \\
 &= \overline{A} B (\overline{C} + C) \\
 &= \overline{A} B
 \end{aligned}$$

Denne sammenhæng ses let på et karnaughkort ved at samle naboer.
Et diagram for et kort med 3 variable er vist herunder.

		($\overline{A}\overline{B}$)	($\overline{A}B$)	(AB)	($A\overline{B}$)
AB		00	01	11	10
C	0	$\overline{A}\overline{B}\overline{C}$	$\overline{A}B\overline{C}$	$AB\overline{C}$	$A\overline{B}\overline{C}$
	1	$\overline{A}\overline{B}C$	$\overline{A}BC$	ABC	$A\overline{B}C$

Hver søjle på kortet repræsenterer en bestemt værdi for A og B.
Hver række repræsenterer en bestemt værdi for C.

Bit'en til venstre i søjlenummeret angiver A's værdi, det til højre angiver B's værdi.
Den øverste række repræsenteres ved $C = 0$.
Den nederste række repræsenteres ved $C = 1$.

Et diagram for $\overline{A} B \overline{C}$ vises nedenfor, dette angives ved at skrive et 1 i det pågældende rum.

AB	00	01	11	10
0	0	1	0	0
C				
1	0	0	0	0

Et diagram for $\overline{A} B C$:

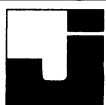
AB	00	01	11	10
0	0	0	0	0
C				
1	0	1	0	0

Nu udtrykker hvert kort en del af et OR-udtryk, som vil have værdien 1 enten i tilfældet kort 1 eller i tilfældet kort 2.
Kombinerer vi nu de to kort, ser vi straks to naborum, som begge er 1, dette vil give $\overline{A} B$, og C er fælles for naborummene.
Derfor er $\overline{A} B C + \overline{A} B \overline{C} = \overline{A} B$. Ringen viser det simplificerede udtryk.

AB	00	01	11	10
0	0	1	0	0
C				
1	0	1	0	0

Et diagram til indtegning af 4 variable vises herunder:

AB	00	01	11	10
00	$\overline{A}\overline{B}\overline{C}\overline{D}$	$\overline{A}B\overline{C}\overline{D}$	$AB\overline{C}\overline{D}$	$A\overline{B}\overline{C}\overline{D}$
01	$\overline{A}\overline{B}C\overline{D}$	$\overline{A}BC\overline{D}$	$ABC\overline{D}$	$A\overline{B}C\overline{D}$
CD				
11	$\overline{A}\overline{B}C D$	$\overline{A}BC D$	$ABC D$	$A\overline{B}C D$
10	$\overline{A}\overline{B}\overline{C} D$	$\overline{A}B\overline{C} D$	$AB\overline{C} D$	$A\overline{B}\overline{C} D$



7.2 Regler for sløjfning af normalprodukter

For at simplificere ethvert udtryk må man følge disse regler:

1. Tag så stor gruppe nabonormalprodukter som muligt, gruppen skal indeholde et antal normalprodukter, som er lig med potenser af 2, dvs. 1, 2, 4, 8, 16 osv.

AB	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

= A

2. Overlapning af grupper er ønskelig for at få udtrykket på den mest simple form.

AB	00	01	11	10
00	1	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	0	0

$$\frac{1}{\overline{CD}} \quad \frac{2}{\overline{AC}}$$

3. En funktion kan bestemmes ved at udlæse alle sløjfer med værdien 1 med + mellem normalprodukterne.

AB	00	01	11	10
00	0	0	0	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

$$\frac{1}{C} + \frac{2}{D} + \frac{3}{\overline{AB}}$$

4. De eksterne naboer kan findes ved at "folde" kortet, så top og bund rører hinanden, og så sideme rører hinanden.

AB	00	01	11	10
00	1	0	1	1
01	1	0	0	1
11	0	0	0	0
10	0	0	1	1

$$\frac{1}{\overline{AD}} + \frac{2}{\overline{BC}}$$

Eksempel :

$$Q = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D}$$

indføres i karnaughkortet og simplificeres således :

AB	00	01	11	10
00	1	1	0	0
01	1	0	0	0
11	0	0	0	0
10	1	1	0	0

$$Q = \frac{1}{\overline{AD}} + \frac{2}{\overline{ABC}}$$

Hvis det giver et mere simpelt kredsløb, er der intet i vejen for at udlæse \overline{X} , dvs. at det er nul-lerne, der skal sløjfes og udlæses.



9. BOOLESK UDTRYK PÅ KREDSLØB

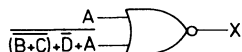
9.1 Fra boolesk udtryk til kredsløb

Når et kredsløb skal dannes ud fra et boolesk udtryk, gøres dette nemmest ved at starte fra udgangen og arbejde mod indgangen.

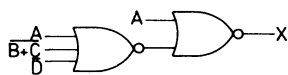
Eksempel:

$$\overline{A + (B + C) + \overline{D} + A} = X$$

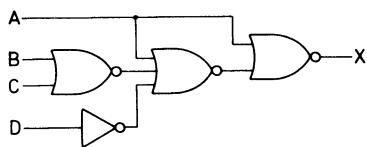
Gaten nærmest udgangen er en NOR-gate med to input:



Udtrykket $\overline{(B + C) + \overline{D} + A}$ er en NOR-gate med tre input:



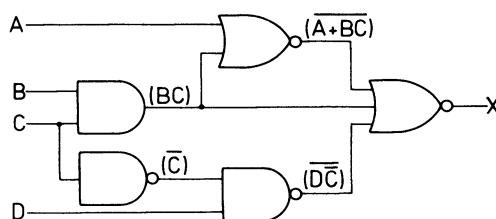
Inputtet $\overline{B + C}$ er en NOR-gate, \overline{D} er D-inverteret, det færdige kredsløb ser således ud:



9.2 Fra kredsløb til boolesk udtryk

Ved notering af det booleske udtryk fra et diagram startes fra indgangene.

For at holde orden i de forskellige led er det klogt at sætte parenteser om led og variable, der hører sammen.



Det giver en god oversigt, hvis der noteres direkte i diagrammet, som vist herover.

Det endelige udtryk bliver:

$$X = \overline{A + B \cdot C + (B \cdot C) + (\overline{D} \cdot \overline{C})}$$

Det noterede booleske udtryk kan nu enten udsættes for reduktion med booles algebra eller omskrives til standardsumform og behandles i et karnaughkort eller med Quine-Mc Cluskey.

Omskrivning til standardsumform vil man normalt kun anvende, hvis en af de to sidstnævnte reduktionsmetoder skal anvendes, idet omskrivningen ofte vil være lige så kompliceret som en direkte reduktion med booles algebra.

DISPOSITION

1. Definitionsmæssige regler
2. Booleske love

1. DEFINITIONSMÆSSIGE REGLER

1. $\bar{0} = 1$
2. $\bar{1} = 0$
3. $1 \cdot 1 = 1$
4. $1 \cdot 0 = 0$
5. $0 \cdot 0 = 0$
6. $1 + 1 = 1$
7. $1 + 0 = 1$
8. $0 + 0 = 0$

2. BOOLESKE LOVE

INVERT identiteter

$$1. \bar{\bar{A}} = A$$

OR identiteter

2. $0 + A = A$
3. $1 + A = 1$
4. $A + \bar{A} = 1$
5. $A + A = A$

AND identiteter

6. $1 \cdot A = A$
7. $0 \cdot A = 0$
8. $A \cdot \bar{A} = 0$
9. $A \cdot A = A$

Den kommutative lov

10. $A + B = B + A$
11. $A \cdot B = B \cdot A$

Den associative lov

12. $A \cdot (B \cdot C) = (A \cdot B) \cdot C = A \cdot B \cdot C$
13. $A + (B + C) = (A + B) + C = A + B + C$

Den distributive lov

14. $A \cdot B + A \cdot C = A \cdot (B + C)$
15. $(A + B) \cdot (A + C) = A + (B \cdot C)$

De Morgan's lov

16. $\overline{A \cdot B} = \bar{A} + \bar{B}$
17. $\overline{A + B} = \bar{A} \cdot \bar{B}$

Nyttige regler

18. $A + AB = A$
19. $A(A + B) = A$
20. $A + \bar{A}B = (A + \bar{A}) \cdot (A + B) = A + B$





DISPOSITION

1. Vægtede koder
2. Uvægtede koder

1. VÆGTEDE KODER

1.1 Binær kode

Den binære kode er en direkte oversættelse af det decimale tal til binært tal, så f.eks. 23 oversættes til 10111. Det er den mest almindelige kode i digitale systemer, fordi den er systematisk og nem at oversætte.

Med en binær kode på n -bit, forkortelse for binary information, kan 2^n kombinationer repræsenteres. Det kan vises ved at opstille en kombinationstabel eller sandhedstabel.

For en 3-bitkode ser tabellen således ud:

Decimal	Binær
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

Det ses, at 3-bitkoden repræsenterer $2^3 = 8$ kombinationer.

Den binære kode er vægtet på den måde, at mindst betydende bit, LSB, har værdien $2^0 = 1$, næste bit har værdien $2^1 = 2$, næste bit $2^2 = 4$ osv., således at de første 8 bit for værdierne128 64 32 16 8 4 2 1

1.2 BCD-koder

Efter den binære kode er BCD-koden, BCD = Binary Code Decimal code, den mest almindelige kode. Behovet for en kode for hvert af de 10 decimale cifre, 0 til 9, opstår ofte, og den mest populære er den almindelige binære oversættelse af det decimale ciffer, som vist herunder.

Decimal	NBCD 8-4-2-1
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1
	1 0 1 0
	1 0 1 1
	1 1 0 0
	1 1 0 1
	1 1 1 0
	1 1 1 1

Fordi 10 cifre er involveret, må antallet af binære bit være stort nok til at give mindst 10 forskellige kombinationer af de binære tegn.

Da $2^3 = 8$ og $2^4 = 16$, ses det altså, at 4 bit er nødvendige. NBCD-koden benytter sig af de første 10 kombinationer af de 16 mulige.

Der findes 17 forskellige vægtede BCD-koder, hvoraf 2421-koden nok er den almindeligste ud over NBCD.

De 17 koder er vægtet således :

2421	4321	5221	5421	6321	7421
3321	4421	5311	6221	6421	8421
4321	5211	5321	6311	7321	

Koden for forskellige vægtede BCD-koder vises her.

	8421	2421	5421	5311
0	0000	0000	0000	0000
1	0001	0001	0001	0001
2	0010	0010	0010	0011
3	0011	0011	0011	0100
4	0100	0100	0100	0101
5	0101	1011	1000	1000
6	0110	1100	1001	1001
7	0111	1101	1010	1011
8	1000	1110	1011	1100
9	1001	1111	1100	1101

1.3 Fejldetekterende kode

Nogle koder er opbygget på en sådan måde, at man med et dektorkredsløb kan konstatere, om der er sket en fejl i informationen i form af et ekstra bit.

Som eksempel på disse koder kan nævnes Bi-quinary-koden, hvor værdierne for bit'en er :

50 43210

Koden er opbygget på den måde, at der hele tiden skal være to bit, der er 1, medens resten skal være 0.

	50	43210
0	01	00001
1	01	00010
2	01	00100
3	01	01000
4	01	10000
5	10	00001
6	10	00010
7	10	00100
8	10	01000
9	10	10000

En anden kode, der både er fejl-detekterende og fejlkorrigerende, er Hamming-koden.

Ud over de vægtede bit er der tre parity bit, hvormed man kan finde den bit, der har forkert værdi.

Koden ser således ud :

	7	6	5	4	3	2	1	Pos. nr.
	X ₇	X ₆	X ₅	P ₄	X ₃	P ₂	P ₁	
0	0	0	0	0	0	0	0	
1	1	1	0	0	1	0	1	
2	0	1	0	1	0	1	0	
3	1	1	0	0	0	0	1	
4	0	0	1	1	0	0	1	
5	1	0	1	0	0	1	0	
6	0	1	1	0	0	1	1	
7	1	1	1	1	0	0	0	
8	0	0	0	0	1	1	1	
9	1	0	0	1	1	0	0	

P₁ , P₂ og P₄ er patity bit, der anvendes til at finde, hvor en eventuel fejlbit er opstået.

De vægtede bit er X₇ , X₆ , X₅ og X₃.

Værdierne er X₇ = 1
X₆ = 2
X₅ = 4
X₃ = 8

For at konstatere, om der er fejl i koden, foretages tre paritets-check for ulige paritet, dvs. ved ulige antal bits angiver checken et 1, ved lige antal angiver checken et 0.

Check 1 P₁ , X₃ , X₅ , X₇
Check 2 P₂ , X₃ , X₆ , X₇
Check 3 P₄ , X₅ , X₆ , X₇

Ved at stille checkresultaterne efter hinanden i følgende rækkefølge får man direkte den binære værdi for det positionsnummer, hvor bit'et skal inverteres, for at koden er korrekt.



Eksempel: 0111011

Check 1: P_1, X_3, X_5, X_7 1010 0

Check 2: P_2, X_3, X_6, X_7 1010 0

Check 3: P_4, X_5, X_6, X_7 1110 1

Dette indikerer, at der er fejl i bit nr. 100 (4), hvilket vil sige, at den korrekte kode ser således ud:

0110011,

hvilket er koden for 6.

2. UVÆGTEDE KODER

2.1 XS-3 (Excess 3)

Excess 3-koden er en BCD-kode, der er uvægtet. Koden har specielle fordele, når der skal dannes 9' komplement til tallet.

Koden er opbygget på den måde, at der er lagt 3 til decimaltallet, hvorefter det er konverteret til binær værdi.

Eksempel: 3 bliver $3 + 3 \rightarrow 0110$, der angiver 3 i XS-3-koden.

Hele koden ser således ud:

0	0011
1	0100
2	0101
3	0110
4	0111
5	1000
6	1001
7	1010
8	1011
9	1100

Ser man på koden, ses det, at 9' komplementen dannes ved blot at invertere bit'ene.

2.2 Gray-koden

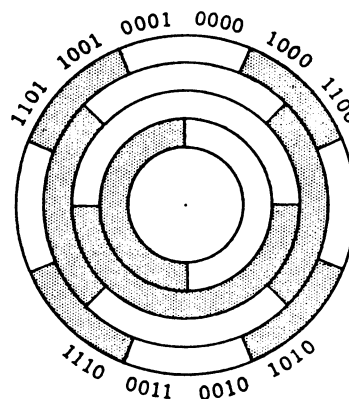
En kode, der anvendes meget inden for mekanisk-elektroniske målinger, er gray-koden.

Koden har den fordel, at kun et bit ad gangen kan ændre værdi.

Gray-koden ser således ud:

0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100
8	1100
9	1101
10	1111
11	1110
12	1010
13	1011
14	1001
15	1000

Gray-koden kan anvendes til at angive positionen af en aksel ved hjælp af en skive kodet i gray-kode.



De mørke områder på skiven repræsenterer logisk "1", de lyse logisk "0".

Skiven kan aftastes med lys eller med børster, i det sidste tilfælde er de mørke områder fremstillet i et ledende materiale.

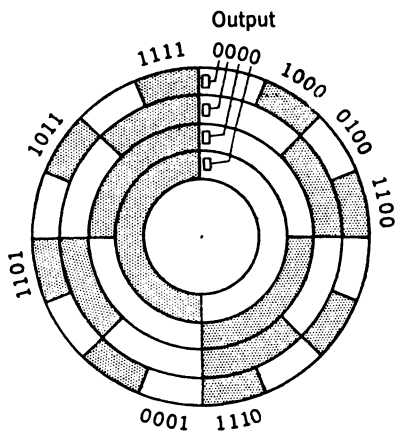
En gray-kodet skive har en fordel frem for en binær kodet skive, i det kun en bit skifter ad gangen.



Uanset, hvor præcist aftastnings-systemet er justeret, vil der være små skævheder.

Ved overgangen fra f.eks. 6 til 7 i gray-koden vil der kun være mulighed for at udlæse 0101 = 6 eller 0100 = 7.

Ved en skive kodet i binær-kode er der mulighed for at udlæse falske koder.



Ved overgangen fra f.eks. 3 til 4 i binær-koden kan der udlæses: 0000, 0011, 0100 og 0111 afhængig af, hvordan aftastnings-systemet er justeret.

Koden 0000 og 0111 er falske koder, idet de angiver, at skiven har en anden position end den reelle.



DISPOSITION

1. Det binære talsystem
2. Konvertering af hele tal
3. Konvertering af brøker
4. Tallet 2 opløftet i n'te og -n'te potens
5. Octale talsystem
6. Hexadecimale talsystem

1. DET BINÆRE TALSYSTEM

Normalt anvender vi titalssystemet, hvor vi tæller i potenser af 10. Oprindelsen til titalssystemet, hvori der tælles i potenser af 10, kommer måske fra, at man talte ved hjælp af fingrene.

Da man startede med at udvikle elektroniske regnemaskiner, forsøgte man at bruge titalssystemet, men da hvert tal skal angives ved et defineret spændingsniveau, gik man hurtigt over til talsystemet, der kun har to værdier, nemlig 0 og 1, som i elektriske kredsløb kan repræsenteres af henholdsvis ingen spænding og spænding eller omvendt.

1.1 Titalssystemet

Det er imidlertid vigtigt at studere titalssystemet for at forstå talsystemet, da det er opbygget på samme måde.

Når vi skriver et nummer som 5738, kan vi opdele det som vist.

Tusinde	Hundreder	Tiere	Enere
5	7	3	8

Med andre ord menes:

$$(5 \cdot 1000) + (7 \cdot 100) + (3 \cdot 10) + (8 \cdot 1)$$

femtusindesyvhundredeogtretiotte

Hvert ciphers position repræsenterer en potens af 10, 10 er grundtal eller radix i decimalsystemet.

1.2 Det binære system

Det binære talsystem har grundtallet eller radix 2.

Dette betyder, at hver cifferposition repræsenterer en potens af 2.

Som følge af dette behøver vi kun to talsymboler nemlig 0 og 1, idet det næste højere tal i systemet, 2, flytter til næste kolonne i talsystemet.

F.eks.: 1001 (binært) betyder:
(udtales: et-nul-nul-et)

8'ere	4'ere	2'ere	1'ere
1	0	0	1

eller:

$$(1 \cdot 8) + (0 \cdot 4) + (0 \cdot 2) + (1 \cdot 1) = 9_{10} \text{ indeks}$$

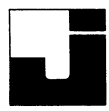
Der kan skrives meget store tal i det binære system, forudsat at man bruger nok binære cifre.

Disse binære digits kaldes normalt bits.

Digit = finger, tå (latin)

Hvis man skriver 1001 binært, skrives det 1001_2 for at markere, at der arbejdes i det binære system og ikke i decimalsystemet. Markeringen kaldes indeks og er lig med talsystemets radix.

For hver bit man rykker mod venstre i et binært tal, stiger værdien til det dobbelte eller som potens af 2.



2. KONVERTERING AF HELE TAL

2.1 Subtraktionsmetode

Ved subtraktion undersøger man, om kendte potenser af 2 indeholdes i tallet

Eksempel:

$2^9 \rightarrow$	- 512	→	1	1	0	0	0	0	1	1	1	1
$2^8 \rightarrow$	- 256											
$2^7 \rightarrow$	- 128											
$2^6 \rightarrow$	- 64											
$2^5 \rightarrow$	- 32											
$2^4 \rightarrow$	- 16											
$2^3 \rightarrow$	- 8											
$2^2 \rightarrow$	- 4											
$2^1 \rightarrow$	- 2											
$2^0 \rightarrow$	- 1											

2.2 Divisionsmetode

Når man starter på denne metode, skrives decimaltallet, og der tegnes en vertikal linie til højre for decimaltallet. Divider derefter decimaltallet med 2 og skriv "resten" (0 eller 1) til højre for linien.

Eksempel:

Første trin	
29	1
14	

29 divideret med 2 er 14 - rest 1.

Fortsæt denne proces, indtil $1:2 = 0$ med rest 1.

Det binære tal, der svarer til decimaltallet, findes ved at læse de binære digits fra bunden og opad.

29	1 (LSB - least significant bit)
14	0
7	1
3	1
1	1 (MSB - most significant bit)
0	

$$29_{10} = 11101_2$$



2.3 Additionsmetode - konvertering fra binær til decimal

Decimalværdierne for 1'erne i
det binære tal adderes.

Eksempel:

$$\begin{array}{r}
 1011 \\
 \downarrow \quad \downarrow \quad \downarrow \\
 \quad \quad 2 \quad \quad 1 \\
 \quad \quad \downarrow \\
 \quad \quad 8
 \end{array}
 \qquad
 \begin{array}{r}
 + 1 \\
 + 2 \\
 + 8 \\
 \hline
 11
 \end{array}$$

Denne metode er forholdsvis nem,
når det binære tal har få bits,
men vanskelig når det binære tal
er stort.

2.4 Omvendt divisionsmetode

Omsætningen fra binær til deci-
mal kan også udføres med den
omvendte divisionsmetode.

$$\begin{array}{cccccccccccc}
 1 & & 1 & & 1 & & 0 & & 0 & & 1 & & 0 & & 0 & & 0 \\
 \downarrow & + & & + & & & & & & + & & & & & & & \\
 1 \cdot 2 = 2 & & & & & & & & & & & & & & & & \\
 & \bar{3} \cdot 2 = 6 & & & & & & & & & & & & & & & \\
 & & \bar{7} \cdot 2 = 14 & \cdot 2 = 28 & \cdot 2 = 56 & & & & & & & & & & & & \\
 & & & & \underline{57} & \rightarrow 114 & \rightarrow 228 & \rightarrow 456 & & & & & & & & &
 \end{array}$$

Den mest betydende bit ganges
med 2 og lægges sammen med
bit'en nærmest til højre.

Summen ganges med 2, som der-
efter lægges til bit'en nærmest
til højre.

Summen ganges med 2
osv.

Når LSB er behandlet, er værdi-
en i decimalsystemet fundet.



3. KONVERTERING AF BRØKER

Når man skriver en decimalbrøk, som f.eks. 0,45, mener man:

$$\frac{4}{10} + \frac{5}{100}$$

I det binære talsystem vil 0,111 betyde:

$$\frac{1}{2} + \frac{1}{4} + \frac{1}{8} = 0,875.$$

3.1 Multiplikationsmetode

Når en decimalbrøk skal konverteres til en binær brøk, bruges en multiplikationsmetode, "gange 2" metoden.

Metoden bygger på, at en decimalbrøk, der indeholder 0,5, bliver større end eller lig med 1, hvis den ganges med 2.

Ligeledes vil en decimalbrøk, der indeholder 0,25, blive større end eller lig med 1, hvis den 2 gange multipliceres med 2.

Decimalbrøken ganges med 2, hvis den indeholder 0,5, bliver facit større end lig med 1. Efter binærpunktet kan der skrives 1 i binærbrøken. Samtidig fratrækkes der 1 i facit, dette svarer til, at der bliver trukket 0,5 fra den oprindelige decimalbrøk.

Eksempel

$$\begin{array}{r} 0,75 \cdot 2 = 1,50 \\ -1 \\ \hline 0,50 \end{array}$$

Resten ganges igen med 2.

Hvis den oprindelige decimalbrøk indeholder 0,25, bliver facit større end lig med 1.

$$0,50 \cdot 2 = 1,00$$

Der kan skrives et 1-tal i 2. bit fra binærpunktet.

Fra facit trækkes der nu 1 fra

$$\begin{array}{r} 1,00 \\ -1,00 \\ \hline 0,00 \end{array}$$

Hvis resultatet er lig med 0, er konverteringen færdig.

$$0,75_{10} = 0,11_2$$

Hvis resultatet er større end 0, fortsættes konverteringen, til den ønskede nøjagtighed haves.

Eksempel:

$$0,875 \cdot 2 = 0,75 \cdot 2 = 0,5 \cdot 2 = 0,0$$

0,1 1 1



Eksempel:

Konverter 0,33 til binær brøk
med 5 bits

$$0,33 \cdot 2 = 0,66 \cdot 2 = 0,32 \cdot 2 = 0,64 \cdot 2 = 0,28 \cdot 2 = 0,56$$

0,0 1 0 1 0

Ovenstående kan sammenfattes i:

Decimalbrøken ganges med 2.

Hvis produktet er større end 1,
føres 1 ned som 1 i den binære
brøk.

Er produktet mindre end 1, føres
0 ned som 0 i den binære brøk.

Dette fortsættes, indtil man har
den nøjagtighed der ønskes, eller
til tallet er gået op.

3.2 Binær brøk til decimalsystem

Ved omsætning fra binær brøk til
decimalsystemet konverteres der
fra den binære brøk til ægte brøk.

Dette gøres ved at finde værdien
af LSB og anvende denne som
nævner i en ægte brøk.

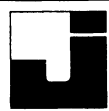
Derefter findes den binære værdi
af tallet efter binærpunktet, den-
ne værdi anvendes som tæller i
brøken.

Eksempel :

$$0,111 + \text{LSB} = 1 \cdot 2^{-3} = 1/8$$

$$\text{Decimalværdi} = 7$$

$$0,111 = \frac{7}{8}.$$



4. TALLET 2 OPLØFTET I n'te

OG -n'te POTENS

2^n	n	2^{-n}
1	0	1.0
2	1	0.5
4	2	0.25
8	3	0.125
16	4	0.062 5
32	5	0.031 25
64	6	0.015 625
128	7	0.007 812 5
256	8	0.003 906 25
512	9	0.001 953 125
1 024	10	0.000 976 562 5
2 048	11	0.000 488 281 25
4 096	12	0.000 244 140 625
8 192	13	0.000 122 070 312 5
16 384	14	0.000 061 035 156 25
32 768	15	0.000 030 517 578 125
65 536	16	0.000 015 258 789 062 5
131 072	17	0.000 007 629 394 531 25
262 144	18	0.000 003 814 697 265 625
524 288	19	0.000 001 907 348 632 812 5
1 048 576	20	0.000 000 953 674 316 406 25
2 097 152	21	0.000 000 476 837 158 203 125
4 194 304	22	0.000 000 238 418 579 101 562 5
8 388 608	23	0.000 000 119 209 289 550 781 25
16 777 216	24	0.000 000 059 604 644 775 390 625
33 554 432	25	0.000 000 029 802 322 387 695 312 5
67 108 864	26	0.000 000 014 901 161 193 847 656 25
134 217 728	27	0.000 000 007 450 580 596 923 828 125
268 435 456	28	0.000 000 003 725 290 298 461 914 062 5
536 870 912	29	0.000 000 001 862 645 149 230 957 031 25
1 073 741 824	30	0.000 000 000 931 322 574 615 478 515 625
2 147 483 648	31	0.000 000000 465 661 287 307 739 257 812 5
4 294 967 296	32	0.000 000 000 232 830 643 653 869 628 906 25
8 589 934 592	33	0.000 000 000 116 415 321 826 934 814 453 125
17 179 869 184	34	0.000 000 000 058 207 660 913 467 407 226 562 5
34 359 738 368	35	0.000 000 000 029 103 830 456 733 703 613 281 25
68 719 476 736	36	0.000 000 000 014 551 915 228 366 851 806 640 625
137 438 953 472	37	0.000 000 000 007 275 957 614 183 425 903 320 312 5
274 877 906 944	38	0.000 000 000 003 637 978 807 091 712 951 660 156 25
549 755 813 888	39	0.000 000 000 001 818 989 403 545 856 475 830 078 125



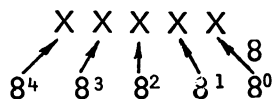
5. OCTALE TALSYSTEM

Octalsystemet er et talsystem, hvis grundtal er 8.

5.1 Den octale talrække

Octal	Decimal
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
10	8
11	9
12	10

Positionsværdierne i octalsystemet er:



Eksempel:

Værdien af 123_8 i talsystemet er:

$$\begin{aligned}
 & 3 \cdot 8^0 = 3 \\
 + & 2 \cdot 8^1 = 16 \\
 + & 1 \cdot 8^2 = 64 \\
 \hline
 123_8 & = 83_{10}
 \end{aligned}$$

5.2 Konvertering octal \leftrightarrow decimal

Der kan konverteres fra decimal-systemet til octalsystemet og modsat som i konvertering fra binær til decimal.

Eksempel:

1. Konverter 83_{10} til octalsystem ved hjælp af divisionsmetode

$$\begin{aligned}
 83 : 8 &= 10 \text{ rest } 3 \\
 10 : 8 &= 1 \text{ rest } 2 \\
 1 : 8 &= 0 \text{ rest } 1
 \end{aligned}$$

$$83_{10} = 123_8$$

2. Konverter 123_8 til decimal-system ved hjælp af multiplikationsmetode

$$\begin{array}{r}
 1 \quad 2 \quad 3 \\
 \swarrow \quad \quad \quad \\
 1 \cdot 8 = 8 \\
 \quad 10 \cdot 8 = 80 \\
 \quad \quad 83
 \end{array}$$

$$123_8 = 83_{10}$$

5.3 Konvertering binært til octal

Det binære tal deles i grupper på 3 bits fra LSB. Værdien af hver gruppe aflæses.

Eksempel:

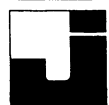
$$\begin{array}{ccccccc}
 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 1_2 \\
 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 1 \\
 7 & & 1 & & & 5 & & & \\
 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 1_2 = 715_8
 \end{array}$$

5.4 Konvertering octal til binært

Hvert ciffer i octaltallet skrives i binært talsystem med 3 bits.

Eksempel:

$$\begin{array}{ccc}
 5 & 6 & 1 \\
 \underbrace{\quad} & \underbrace{\quad} & \underbrace{\quad} \\
 101 & 110 & 001 \\
 561_8 & = & 101110001_2
 \end{array}$$



6. HEXADECIMALE TALSYSTEM

I det hexadecimale talsystem er grundtallet 16.

Dette betyder, at der skal anvendes 16 forskellige symboler til at repræsentere mængderne fra 0 til 15.

Mængderne fra 0 til 9 angives med samme symboler som i decimalsystemet. Mængderne fra 10 til 15 angives med alfabetets første bogstav, fra A til F.

6.1 Den hexadecimale talrække

Hexadecimal	Decimal
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
A	10
B	11
C	12
D	13
E	14
F	15
10	16
11	17
12	18

Positionsværdierne i det hexadecimale talsystem er:

$$\begin{array}{ccccccc} X & X & X & X & 16 \\ \uparrow & \uparrow & \uparrow & \uparrow & \\ 16^3 & 16^2 & 16^1 & 16^0 & \end{array}$$

Eksempel :

Værdien af $13F_{16}$ i titalsystemet er :

$$\begin{array}{rcl} F \cdot 16^0 & = & 15 \\ + 3 \cdot 16^1 & = & 48 \\ + 1 \cdot 16^2 & = & 256 \\ \hline 13F_{16} & = & 319_{10} \end{array}$$

6.2 Konvertering hexadecimal \leftrightarrow decimal

Der kan konverteres fra decimalsystemet til det hexadecimale system og modsat som i konvertering i binær \leftrightarrow decimal.

Eksempel :

1. Konverter 319_{10} til hexadecimalt ved hjælp af divisionsmetode

$$\begin{array}{rcl} 319 : 16 & = & 19 \text{ rest } 15 = F \\ 19 : 16 & = & 1 \text{ rest } 3 \\ 1 : 16 & = & 0 \text{ rest } 1 \end{array}$$

$$319_{10} = 13F_{16}$$

2. Konverter FFF_{16} til decimalsystemet ved hjælp af multiplikationsmetode

$$\begin{array}{rcl} F & & F & & F \\ & & + & & \\ F \cdot 16 & = & 240 & & \\ & & 255 \cdot 16 & = & 4080 \\ & & \hline & & 4095 \end{array}$$

$$FFF_{16} = 4095_{10}$$

6.3 Konvertering binært til hexadecimale

Det binære tal deles i grupper på 4 bits fra LSB. Værdien af hver gruppe aflæses.

Eksempel :

$$\begin{array}{cccccccc} 1 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 1 & 1 & 1_2 \\ 1 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 1 & 1 & \\ 3 & & C & & & & F & & & & \end{array}$$

$$1111001111_2 = 3CF_{16}$$

6.4 Konvertering hexadecimal til binært

Hvert ciffer i octaltallet skrives i det binære talsystem med 4 bits.

Eksempel :

$$\begin{array}{ccccccc} 17A_{16} & & & & & & \\ \underbrace{1}_{0001} & \underbrace{7}_{0111} & \underbrace{17}_{1010} & & & & \end{array}$$

$$17A_{16} = 101111010_2$$



DISPOSITION

1. Binær addition
2. Binær subtraktion
3. Negative binære tal
4. Komplementsystemer
5. Binær multiplikation og division
6. BCD-addition og -subtraktion

1. BINÆR ADDITION

1.1 Regneregler

De grundlæggende regler for addition af binære tal er de samme som for alle andre systemer. Da hver bit i et binært tal repræsenterer en potens af 2, vil der fremkomme en mente, carry, hvis summen af de to tal er større end eller lig med 2. Dette sætter os i stand til at formulere meget enkle regler i binær addition.

1.2 Additionstabel

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 0, \text{ carry } 1 \text{ til næste højere bit.}$$

1.3 Eksempel

32'ere	16'ere	8'ere	4'ere	2'ere	1'ere	
1	0	1	1	0	1	→ 45
		1	0	1	0	→ 10
1	1	0	1	1	1	→ 55
<hr/>						
101101						→ 45
1100						→ 12
111001						→ 57



2. BINÆR SUBTRAKTION

2.1 Regneregler

Ved binær subtraktion er reglerne også meget simple, vi må dog huske på, at når vi subtraherer i titalssystemet og trækker et større tal fra et mindre, må vi låne i næste mere betydende række.

2.2 Subtraktionstabel:

$$\begin{aligned} 0 - 0 &= 0 \\ 0 - 1 &= 1 \text{ (og 1 til låns, borrow)} \\ 1 - 0 &= 1 \\ 1 - 1 &= 0 \end{aligned}$$

2.3 Eksempler

7 - 5 i binær er 111 - 101

$$\begin{array}{r} 111 \\ - 101 \\ \hline 10 = 2 \end{array}$$

6 - 3 i binær er 110 - 11

$$\begin{array}{r} 1010 \\ - 110 \\ \hline 11 = 3 \end{array}$$

3. NEGATIVE BINÆRE TAL

Normalt når vi skriver, f.eks. 27, antager vi automatisk, at det er et positivt tal, hvis vi ved, at det er negativt, så skriver vi -27. En digital computer skal også vide, om et tal er positivt eller negativt, men den har kun 2 symboler nemlig 0 og 1, som vi kan bruge. Derfor tilføjer man en ekstra digit, sign bit, foran det binære tal for at indikere fortegnet.

0 foran betyder, at tallet er positivt.

1 foran betyder, at tallet er negativt.

Der findes tre systemer til at angive negative tal:

Signed magnitude

1's komplement

2's komplement

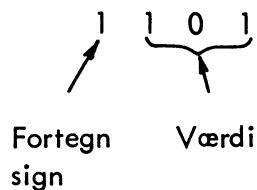
Alle tre systemer har deres fordele og ulemper og anvendes alle i computere.

3.1 Signed magnitude

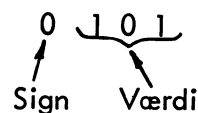
Signed betyder (for)tegn og magnitude betyder størrelse eller absolut værdi.

Begrebet dækker opbygningen af det negative tal, idet den første bit angiver fortegnet, og resten af bit'ene angiver størrelsen af tallet.

I dette system vil -5 blive skrevet som



+5 skrives



Det ses, at værdiangivelsen er ens ved positive tal og negative tal i signed magnitude, og at sign bit'en viser, om tallet er positivt eller negativt.



3.2 1's komplement

I 1's komplement skrives positive værdier som i signed magnitude.

Ved negative værdier er alle bits i værdiangivelsen inverterede i forhold til signed magnitude systemet, sign bit'en er "1" som i signed magnitude.

Eksempel:

-9

1	1	0	0	1	(signed magnitude)
1	0	1	1	0	(1's kom- plement)
Sign	Værdi				

Ved addition af to positive værdier i 1's komplement gennemføres additionen som en almindelig binær addition.

Eksempel:

$$\begin{array}{r} 7 \quad 0 \ 0 \ 1 \ 1 \\ + 5 \quad 0 \ 0 \ 1 \ 0 \\ \hline 12 \quad 0 \ 1 \ 1 \ 0 \end{array}$$

Ved subtraktion af to positive værdier ændres regneoperationen til addition, samtidig med at subtrahendens fortegn ændres.

Eksempel:

Regneoperation

$$7 - (+5) = 7 + (-5)$$

Fortegn

Sign bit

$$\begin{array}{r} +7 \quad 0111 \leftarrow +7 \\ + -5 \quad 1010 \leftarrow -5 \\ \hline 2 \quad 0001 \\ \text{EAC} \rightarrow 1 \\ \hline 0010 \leftarrow +2 \end{array}$$

Bemærk, at alle bits i +7 og -5 adderes også sign bit'en. En eventuel carry fra additionen af MSB sign bit'en skal adderes LSB i summen, dette kaldes "end around carry", EAC. Den endelige sum viser, at sign bit = 0 og værdien 010, altså resultatet er +2.

En subtraktion mellem to positive værdier kan også give en negativ værdi.

Eksempel:

$$5 - (+7) = -2$$

Når subtraktionen udføres i 1's komplement, ændres regneoperationen til addition, og subtrahendens fortegn ændres.

$$5 - (+7) = 5 + (-7) = -2$$

$$\begin{array}{r} +5 \quad 0101 \leftarrow +5 \\ + -7 \quad 1000 \leftarrow -7 \\ \hline -2 \quad 1101 \leftarrow -2 \end{array}$$

Hvis summen 1101 ønskes opgivet i signed magnitude, skal alle bits i værdien inverteres, og sign bit'en bibeholdes.

$$1101 \rightarrow 1010$$

$$1010 = -2$$

En addition af to negative tal udføres som en normal binær addition, blot skal man huske, at sign bits også skal adderes.

Eksempel:

$$(-7) + (-5) = -12$$

$$\begin{array}{r} -7 \quad 11000 \leftarrow -7 \\ + -5 \quad 11010 \leftarrow -5 \\ \hline -12 \quad 10010 \\ \hline 10011 \leftarrow -12 \end{array}$$

Hvis summen 10011 ønskes opgivet i signed magnitude, skal alle bits i værdien inverteres.

$$10011 \rightarrow 11100$$

$$11100 = -12$$

3.3 2's komplement

Det er let men langsomt, på grund af det ekstra step, EAC, for en computer at anvende 1' komplementsystem.

Et 2' komplementsystem anvendes ofte på grund af den større regnehastighed. Der skal også her anvendes sign bit.

Negative tal bliver konverteret til 2' komplementværdien ved at subtrahere tallets positive værdi fra 2^{N+1} , hvor N er antallet af bit i det største tal, der arbejdes med.

Er det største antal bit 3, skal tallet subtraheres fra $2^{3+1} = 2^4 = 10000$. Hvis der anvendes 5 bitnumre, skal tallet subtraheres fra $2^6 = 100000$.

-5 konverteres til 2' komplementværdi ved at subtrahere 0101 fra $2^4 = 10000$

$$\begin{array}{r} 10000 \\ -0101 \\ \hline 1011 \end{array}$$

Sign bit

1011 er 2' komplementen til -5.

En anden metode til at finde 2' komplementen på er at finde 1' komplement og dertil addere 1.

Signed magnitude -5 1101

1's komplement til -5 1010

$$\begin{array}{r} +1 \quad 1 \\ \hline 1011 \end{array}$$

1011 er 2' komplementen til -5.

Positive værdier er ens i signed magnitude og 2's komplement.

En addition af to positive værdier foregår derfor som almindelig binær addition.

Subtraktion af to positive værdier udføres ved, at regneoperationen ændres til addition, samtidig med at subtrahendens fortegn ændres.

Eksempel :

$$7 - (+5) = 2$$

$$7 - (+5) = 7 + (-5)$$

Den negative værdi, -5, findes til

$$\begin{array}{l} (-5 \rightarrow 1101 \text{ Signed magnitude}) \\ (-5 \rightarrow 1010 \text{ 1's komplement}) \\ \quad \quad \quad +1 \\ (-5 \rightarrow 1011 \text{ 2's komplement}) \end{array}$$

$$\begin{array}{r} 0111 \leftarrow +7 \\ +1011 \leftarrow -5 \\ \hline 0010 \leftarrow +2 \end{array}$$

Carry bortkastes

Bemærk, at værdierne og sign bits adderes, en eventuel carry fra additionen af sign bits bortkastes.

Subtraktion af to positive værdier kan også give et negativt resultat.

Eksempel :

$$(+5) - (+7) = -2$$

Regneoperationen ændres til addition, og subtrahendens fortegn ændres.

$$(+5) - (+7) = (+5) + (-7)$$

Den negative værdi -7 findes til :

$$\begin{array}{l} -7 \rightarrow 1111 \text{ Signed magnitude} \\ -7 \rightarrow 1000 \text{ 1' komplement} \\ \quad \quad \quad +1 \\ -7 \rightarrow 1001 \text{ 2' komplement} \end{array}$$

$$\begin{array}{r} 0101 \leftarrow +5 \\ +1001 \leftarrow -7 \\ \hline 1110 \leftarrow -2 \end{array}$$

Hvis resultatet ønskes opgivet i signed magnitude, komplementeres værdien i 2's komplementen.

-2 → 1110 2' komplement
1001

$-2 \rightarrow \frac{+1}{1010}$ Signed magnitude

Ved addition af to negative tal i 2's komplement adderes de to komplementtal.

Eksempel :

$$(-5) + (-7) = -12$$

2's komplement til -5 og -7 findes til

-5 → 10101 Signed magnitude

-5 \rightarrow 11010 1's komplement

-5 \rightarrow $\frac{+1}{11011}$ 2's komplement

-7 \rightarrow 10111 Signed magnitude

-7 \rightarrow 11000 1's komplement

$$-7 \rightarrow \begin{array}{c} +1 \\ \hline 11001 \end{array} \text{ 2's komplement}$$

①

$$\begin{array}{r} 11011 \leftarrow -5 \\ + 11001 \leftarrow -7 \\ \hline 10100 \leftarrow -12 \end{array}$$

Hvis resultatet ønskes opgivet i signed magnitude, komplementeres værdien i 2's komplement

-12 \rightarrow 10100 2's komplement
11011

$-12 \rightarrow \overset{+1}{\overline{11100}}$ Signed magnitude

3.4 Sammenligning mellem signed magnitude og komplementsystemer

I det almindelige ti-talsystem kan alle tal vises på en tallinie.

Tallene er beliggende på en ret linie, de positive går imod $+\infty$ og de negative mod $-\infty$. Dette betyder, at de to dele af tallinien aldrig når sammen.

I en computer kan der kun behandles tal af en endelig størrelse. Dette betyder, at tallinien får et andet udseende.

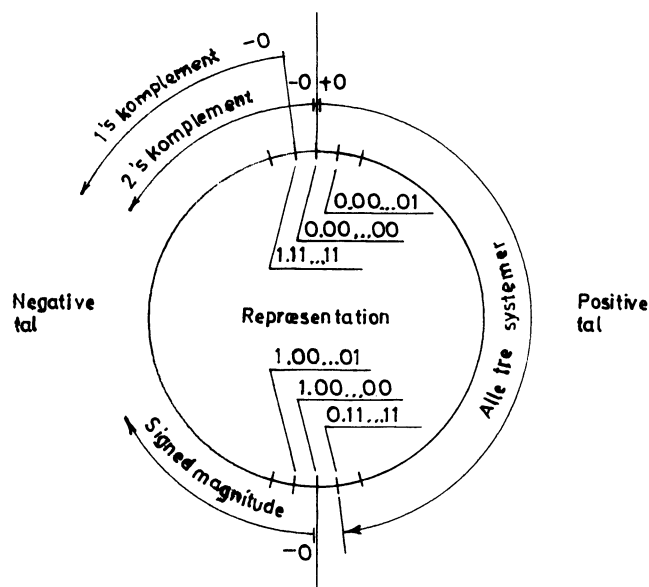
Eksempel :

Hvis +1 adderes til det største positive tal, der kan behandles i maskinen, fås:

$$\begin{array}{r} 0.11\dots11 \\ + 0.00\dots01 \\ \hline 1.00\dots00 \end{array}$$

1.00...00 i signed magnitude er lig med -0 , samtidig er 1.00..00 det største negative tal i komplementsystemerne.

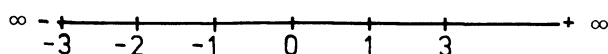
De to komplementsystemer og signed magnitudesystemet kan vises på en cirkel.



På cirklen er de tre systemer af-
sat forskelligt.

Positive tal er afsat ens.

For negative tal er nulpunktet og "vokse"-retningen forskellig.





Læg mærke til, at signed magnitude har to nulpunkter et $+0 = 0.00.00$ og et $-0 = 1.00..00$.

1's komplement har også et $+0$ og et -0 ved henholdsvis $0.00..00$ og $1.11..00$.

2's komplement har kun et nulpunkt, $0.00.00$.



På cirklen ses sammenhængen mellem de negative værdier.

Hvis man har værdien 1.0011 = -12 i 1's komplement og ønsker værdien konverteret til signed magnitude, komplementeres værdien 1.0011 → 1.1100.

1.1100 = -12 i signed magnitude.

Hvis man vil konvertere en 2's komplement værdi til signed magnitude, kan det gøres på to måder.

Eksempel :

Konverter 1.1010 = -6 i 2' komplement til signed magnitude.

Metode 1

1.1010 2' komplement

1.0101 inverter 2' komplement

+1 add. 1

1.0110

1.0110 = -6 i signed magnitude

Metode 2

1.1010 2' komplement

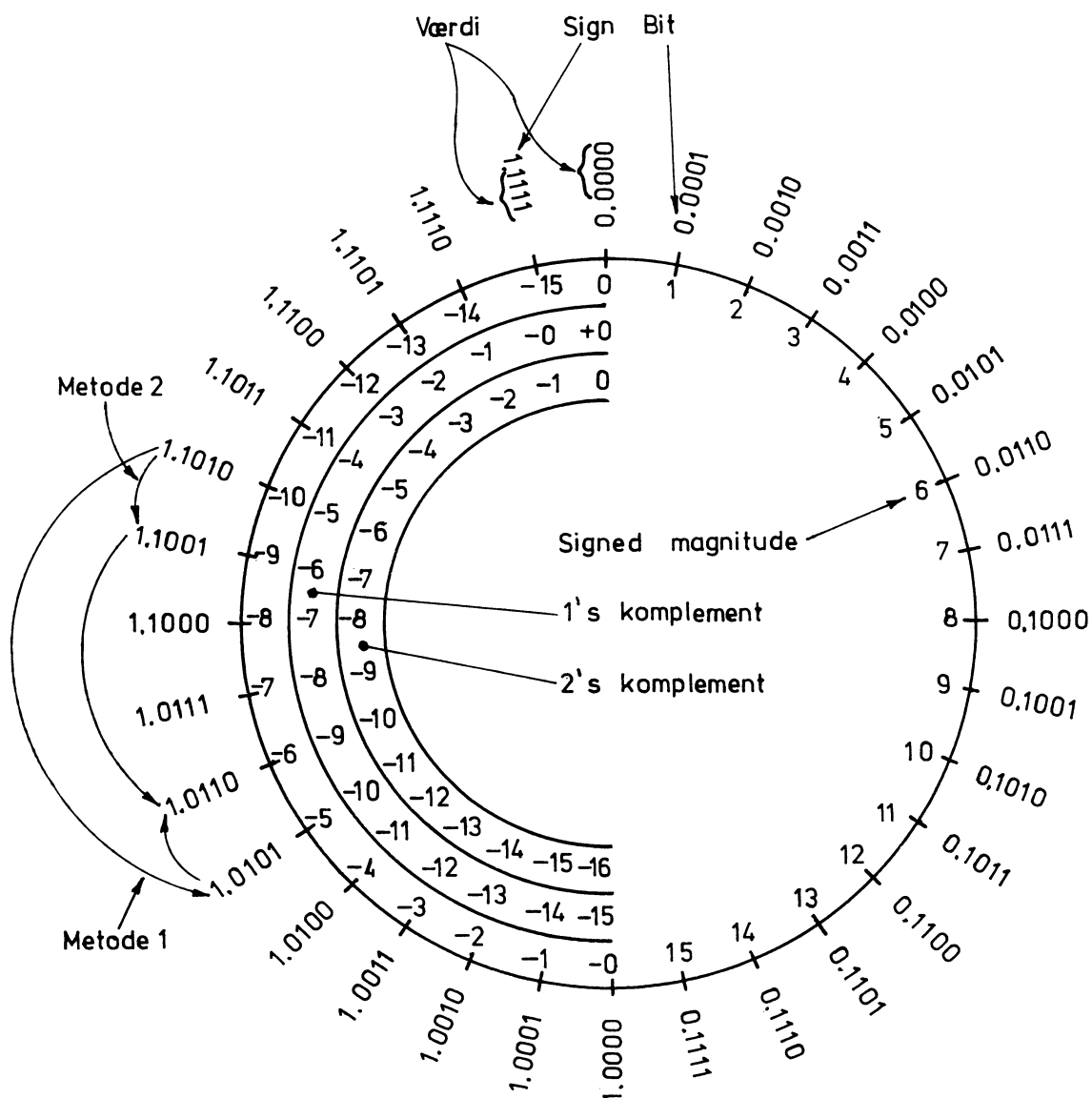
-1 subtraher 1

1.1001 differens

1.0110 inverter differens

1.0110 = -6 i signed magnitude

De to metoder er afbildet på nedenstående cirkel.





Eksempel: $16_{10} = 10000_2$.

For at give korrekt BCD skal
 $6_{10} = 0110_2$ adderes

$$\begin{array}{r} 10000 \\ 0110 \\ \hline 10110 \end{array}$$

Mente

25 + 17 udregnes således

$$\begin{array}{r} 0010 \\ 0001 \\ \hline 0100 \\ \vdots \\ 0100 \end{array} \quad \begin{array}{r} 0101 \\ 0111 \\ \hline 1100 \\ 0110 \\ \hline 0010 \end{array}$$

4 2

Ukorrekt BCD

6.2 BCD-subtraktion

BCD-subtraktion kan foregå ved hjælp af 9' komplement eller 1's komplementsystemet.

9' komplementsystemet er opbygget, så det direkte kan anvendes i decimaltalsystemet.

92 - 42 regnes således:

9' komplement til 4 og 2 findes
5 er 9' komplement til 4 og
7 er 9' komplement til 2,

derefter adderes 57 til 92

$$\begin{array}{r} 92 \\ 57 \\ \hline 149 \\ 1 \\ \hline 50 \end{array}$$

9' komplementsystemet i decimaltalsystemet svarer til 1' komplement i det binære talsystem, og derfor skal der også foretages et EAC-trin.

Dersom der ikke er mente på mest betydende ciffer, er summen 9' komplementen til resultatet, der er negativt.

Eksempel: 53 - 97

9' komplement til 97 er 02.

Summen af 53 og 02 findes

$$\begin{array}{r} 53 \\ 02 \\ \hline 55 \end{array}$$

Da der ingen EAC er, bliver resultatet negativt og lig med 9' komplement til summen.

Resultatet bliver -44.

I det digitale kredsløb skal der anvendes en dekoder til at finde 9' komplementen. Sandhedstabelen for dekoderen ser således ud:

	Sand værdi	9' komplement	
0	0000	1001	9
1	0001	1000	8
2	0010	0111	7
3	0011	0110	6
4	0100	0101	5
5	0101	0100	4
6	0110	0011	3
7	0111	0010	2
8	1000	0001	1
9	1001	0000	0



45 - 23 udregnet i BCD 9' komplementssystemet vil se således ud:

45	0100	0101
9' komplement til 23	0111	0110
Sum	1100	1011
Korrektion > 9	0110	0110
EAC	10010	10001
	0010	0010
Resultat	2	2

23 -45 vil se således ud:

23	0010	0011
9' komplement til 45	0101	0100
Sum	0111	0111
Ingen EAC		
Resultatet er negativt		
og 9' komplement til sum	0010	0010
Resultat	- 2	2



DISPOSITION

1. Integreret kredsløb
2. Monolitiske kredsløb
3. Typebetegnelser
4. TAA263

1. INTEGRERET KREDSLØB

Rumforskningens krav om reduktion af størrelse og vægt, større pålidelighed og mindre pris, førte allerede i 1960 til udviklingen af det første integrerede kredsløb, forkortet til IC.

1.1 Definition

Ved et IC forstås et mikrokredsløb, hvori et antal kredsløbselementer er uadskilleligt samholdende og elektrisk forbundne på en sådan måde, at det til alle specifikations-, afprøvnings- og vedligholdelsesformål må betragtes som uadskilleligt (IEC-1968).

Der skelnes mellem tre forskellige IC-arter:

1. Monolitiske, der kan indeholde såvel aktive som passive komponenter.
2. Tykfilm eller tyndfilm, der indeholder passive komponenter, indtil videre begrænset til modstande og kondensatorer.
3. Hybride, der er en blanding af ovennævnte, f.eks. tykfilm, der er suppleret med aktive standardkomponenter, hvorefter det hele er indsmeltet i isolationsmateriale.

1.2 Integrering

Udtrykket "integrering" betyder i virkeligheden ikke andet en summering.

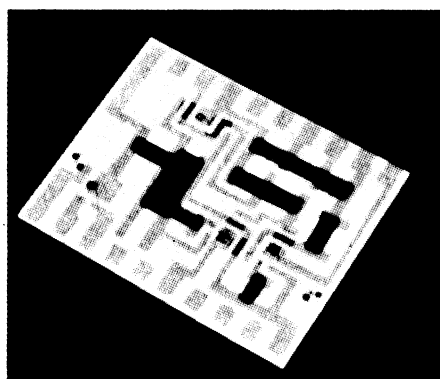
De første tilløb til brug af integreret kredsløb i praksis blev gjort i USA omkring 1955 med fremstilling af lederbaner på såkaldte "Tinkertoy wafers", hvor én eller flere diskrete, dvs. enkelte, almindelige komponenter blev loddet på hver wafer. De enkelte wafers blev derefter stakket og loddet sammen som et højt multilayer (flerelags) kredsløb.

1.3 Tynd- og tykfilm (Hybride)

Kort derefter fulgte fremstilling af tykfilm og tyndfilm kredsløb, som stadig anvendes i nogen udstrækning, når der stilles store kvalitetskrav, f.eks. tolerance.

Tyk- og tyndfilm har det tilfælles, at ledere og modstande placeres direkte på et substrat af keramik eller glaseret keramik, tyndfilmkreds dog også på glas.

Forstærker med tykfilmteknik.

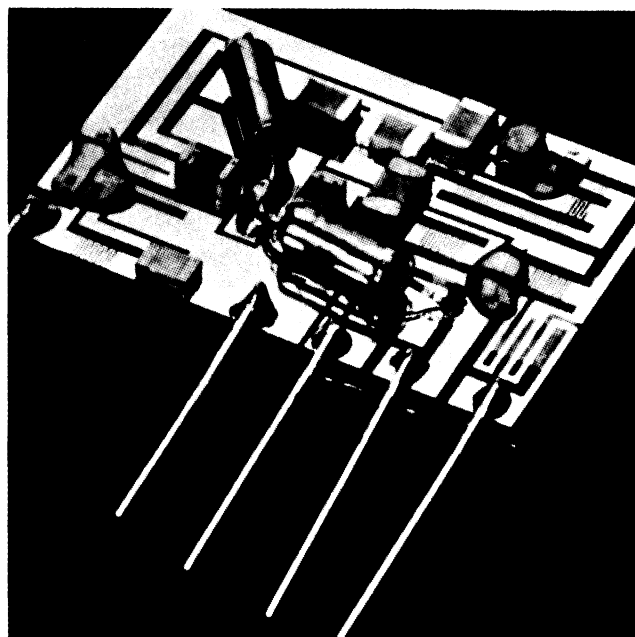


Sort=modstande, gråt=ledere, hvidt=keramikplade af aluminiumoxid.

På tykfilmkredsen (Hybridkredsen) er der monteret krystaller, som indeholder såvel enkelte transistorer som integreret kredsløb.

Forstærker opbygget med tyndfilmteknik.

Ledere og modstande er fremstillet på glassubtrat, de øvrige komponenter er påmonteret (Hybridkreds).





1.4 Integreret halvlederteknik

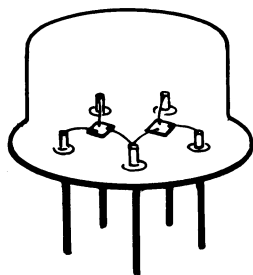
Det man i dag især tænker på, når der tales om integrerede kredsløb, er den type, hvor der er anvendt fremstillingsmetoder, som er kendt fra transistorteknikken, f.eks. planar- og epitaxialteknikken, der minder lidt om fremstilling af trykte kredsløb.

Ved hjælp af et fotolitografisk afmaskningssystem dækkes en del af overfladen på en siliciumskive med påfølgende ætsning.

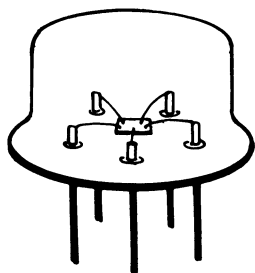
Dette gentages, hvorved alle aktive og passive elementer dannes inden for et afgrænset område på siliciumskiven.

Integrering af halvlederelementer i samme hus:

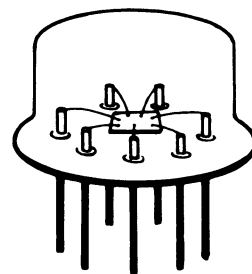
To transistorer i samme hus



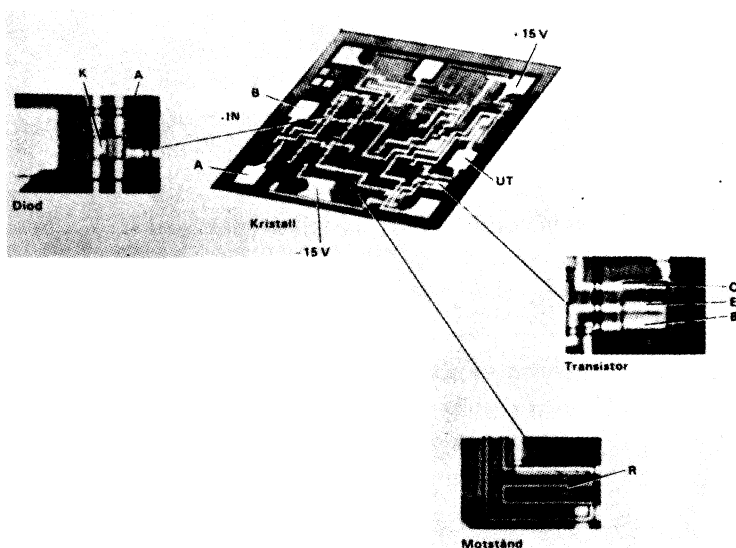
To transistorer på samme krystal



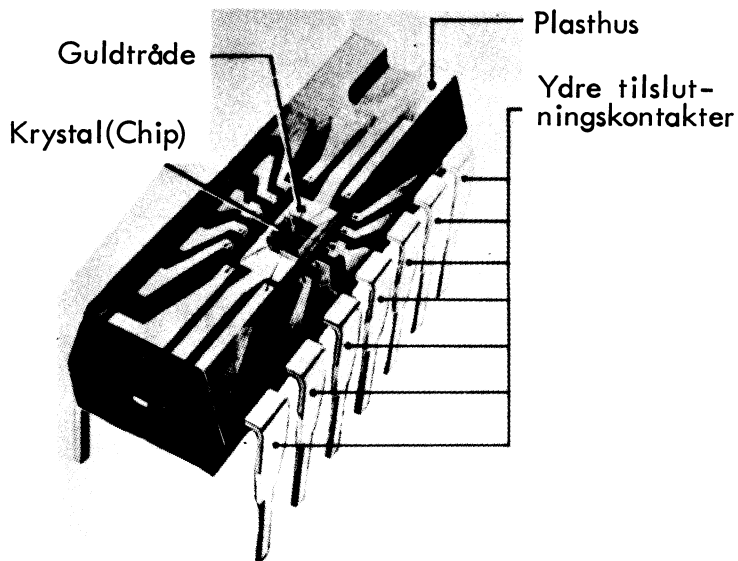
Integreret monolitisk forstærker

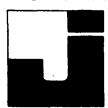


Integreret operationsforstærker



Krystal (chip) monteret i et plastic Dual-in-line hus.





1.5 Monolitisk kredsløb

Man kommer ofte ud for udtrykket "monolitisk", som blot angiver, at kredsløbet er udført på en enkelt skive uden påsvejste mellemledninger inden for kredsløbet.

Integrerede kredsløb kan groft inddeles i to typer:

1. Analog-teknik
2. Digital-teknik

1.6 MOS/COS-MOS logik

De seneste års udvikling viser en kraftig tendens i retning af MOS-logik (Metal-Oxide-Semiconductor) og COS-MOS-logik (Complementary-Symmetry-Metal-Oxide-Semiconductor), sidstnævnte kaldes ofte C-MOS.

MOS-logik

Her anvendes såvel N- som P-kanal typer og normalt enhance-ment, som kræver gate-forspænding/er for at kunne lede.

COS-MOS (C-MOS)-logik

Her anvendes en sammenkobling af såvel en P-kanal som en N-kanal-type.

1.7 Behandling af MOS-kredsløb

Da gateindgangsimpedansen er meget stor, fås let en opladning med statisk elektricitet. Alt, hvad der kommer i kontakt med MOS-kredsløbet, skal have samme potentiale som dette, idet breakdown spændingen er meget lav (ca. 100 V).

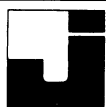
Følgende retningslinier kan gives:

1. Der arbejdes med MOS-kredsløb på en jordnet metalplade
2. Tilledninger på MOS-kredsløb må aldrig berøres - hold på huset
3. Opbevares i en metalkasse eller indpakket i metalfolie eller ledende skumgummi
4. Serviceteknikker, loddekolbe og instrumenter skal være jordnet
5. Spænding til loddekolbens varmelegeme skal være under 6 V AC
6. Serviceteknikker bør ikke bære tøj fremstillet af syntetiske materialer
7. Servicelokalet bør ikke være malet med plasticmaling, ikke være belagt med nylontæppe eller lignende, ligesom en høj luftfugtighedsprocent bør tilstræbes

2. MONOLITISKE KREDSLØB

Der skelnes normalt mellem fire forskellige monolitiske IC typer:

1. Digitale - familiekredsløb - også kaldet logiske
2. Digitale - enkeltkredsløb, også kaldet logiske
3. Analoge - kredsløb - også kaldet lineære
4. Blandede digital-/analog-kredsløb



2.1 Analog-teknik

Betegnelsen stammer fra det græske ord *analogus* = tilsvarende. Herved forstås f.eks. en fotocelles omdannelse af lysenergi til en tilsvarende spænding.

Ved analog-teknik kan der være næsten uendelig mange mulige tilstande.

ANALOG-teknik kaldes ofte LINEÆR-teknik.

2.2 Digitalteknik

Betegnelsen stammer fra det latinske ord *digitus* = finger.

I digitalteknikken findes to mulige tilstande, som f.eks. en kontakt, der er afbrudt eller sluttet. Alt-så enten/eller, hvilket normalt angives med betegnelserne: 1/0 eller HI/LO, high, low.

DIGITAL-teknik kaldes også BINÆR-teknik, to mulige tilstande.

3. TYPEBETEGNELSER

3.1 Generelt

Typebetegnelserne fra de forskellige firmaer er meget forskellige, og derfor må der generelt henvises til firmaernes data-håndbøger.

Angående den europæiske kode kan der angives visse retningslinier.

Koden består af tre bogstaver efterfulgt af tre tal; derudover ses ofte angivet et eller to bogstaver til sidst.

3.2 Europæisk kode

Første to bogstaver angiver serie-type(familie):

F.eks.

FA, FB, FC osv.) Digitale
GA, GB, GC osv.) familie-kredsløb

S ()-typer Digitale enkeltkredsløb

T ()-typer Analoge kredsløb

U ()-typer Blandede digital-/analog-kredsløb

Andet bogstav har ingen særlig betydning.

Tredie bogstav (eventuel tal) angiver IC'ens funktion:

A : Forstærker

B : Frekvensomsætter/detektor

C : Oscillator eller lignende

D : Kombination af A, B og C

G : Universaltype

H : Gate (logik)

J : Bistabilt/multi-sekvenskredsløb

J : Bi-/multistabilt kredsløb

K : Monostabil tidsforsinkelse

L : Niveauomsætter

N : Trigget sekvenskredsløb

R : Læse-hukommelse

S : Læse-forstærker

Miniwatt-typer efter 1972 angiver med tredie bogstav omgivelsestemperaturområde:

A : Intet angivet område

B : 0 til +70°C

C : -55 til +125°C

D : -25 til +70°C

E : -25 til +85°C

F : -40 til +85°C

Første to tal: Angiver fortløbende firmakode fra 10 til 99.



Tredie tal angiver omgivelsestemperatur-området:

- 1 : 0 til $+70^{\circ}\text{C}$
- 2 : -55 til $+125^{\circ}\text{C}$
- 3 : -10 til $+85^{\circ}\text{C}$
- 4 : $+15$ til $+55^{\circ}\text{C}$
- 5 : -25 til $+70^{\circ}\text{C}$
- 6 : -40 til $+85^{\circ}\text{C}$
- 0 : Intet angivet temperaturområde

Til sidst kan ses angivet ét eller to bogstaver:

Det første angiver elektrisk variant A, B, C eller lignende.

Bemærk:

En A-type kan normalt ikke udskiftes med en B-type eller omvendt.

Det nævnte bogstav kan også angive hus-typen (package) f.eks.:

F = Flat-pack

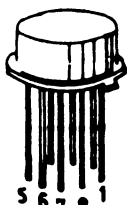
C eller J = Ceramic Dual-in-line

P eller N = Plastic Dual-in-line

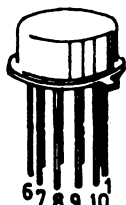
3.3 IC-hus typer (package's)



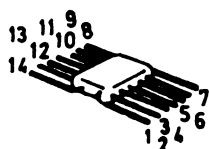
TO5



TO 99



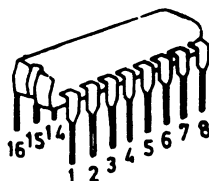
TO 100



Flat-pack

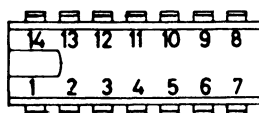
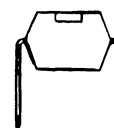
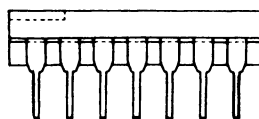


Mini-Dual-in-line

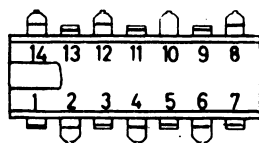
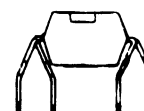
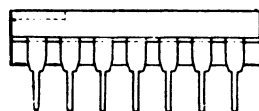


Dual-in-line

DIL (Dual-in-line)

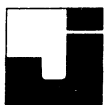


QIL (Quadruple-in-line)

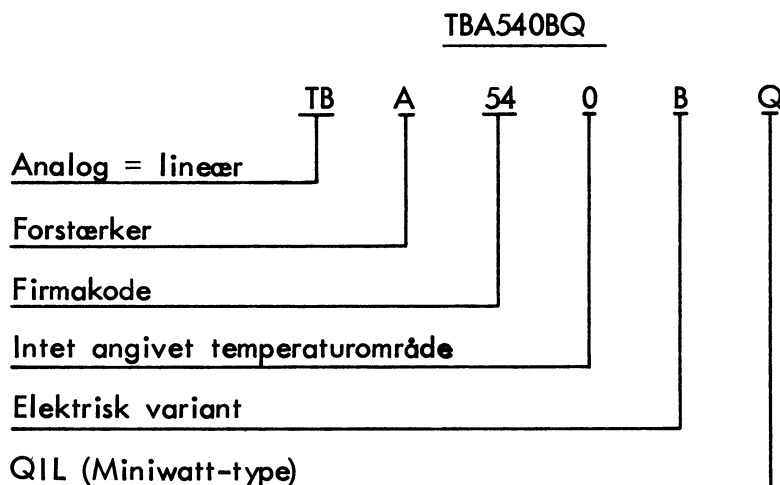


DIL/QIL kan ses angivet på forskellig måde:

	DIL	QIL
Miniwatt	intet	Q
ITT	A	B
Siemens	intet	A



3.4 Eksempel på kode



4. TAA263

4.1 Data fra Philips Pocket book

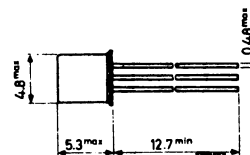
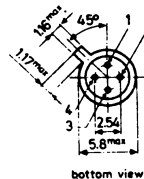
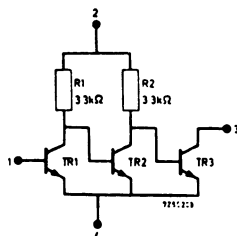
LINEAR MONOLITHIC INTEGRATED CIRCUITS

CHARACTERISTICS at $T_{amb} = 25^{\circ}\text{C}$.

Audio amplifiers

Type number	G_{tr}	Z_i	R_L	f_c	P_o	V_o	P_{tot}	V_P	Package
TAA263	77 dB				> 10 mW	< 7 V	< 70 mW	8 V	TO-72

TAA263



TO-72





PASSIVE OG AKTIVE KREDSLØB

Logiske kredsløbsfamilier kan generelt opdeles i passive og aktive kredsløb.

Passive kredsløb

De passive kredsløb indeholder dioder, modstande og eventuelt kondensatorer, og ved hjælp af disse komponenter kan der opbygges kredsløb, der udfører de booleske OR- og AND-funktioner.

Denne logikform bærer betegnelsen DL-logik.

NOT-kredsløb kan ikke udføres med disse kredsløb, da dioder ikke kan invertere elektriske signaler.

Aktive kredsløb

Ved aktive digitale kredsløb forstås, at kredsløbet, foruden passive komponenter, også indeholder aktive komponenter dvs. transistorer.

Derved kan der nu laves booleske kredse som NOT, NAND og NOR og stadig også AND- og OR-kredse.

Logikfamilier

Her skal omtales nogle forskellige logikfamilier, der fås integrerede.

TTL = Transistor-transistor-logik

ECL = Emitter-coupled-logik

MOS = Metal-oxide-semiconductor-logik

CMOS = Complementær symmetrisk MOS logik, også kaldes COSMOS

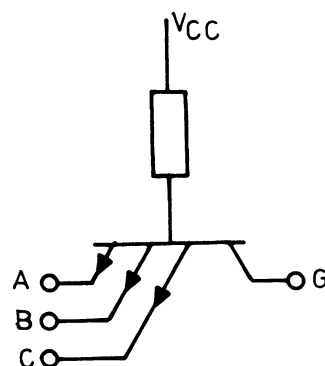
Desuden kan man støde på forskellige variationer af de nævnte typer.

TTL-logik

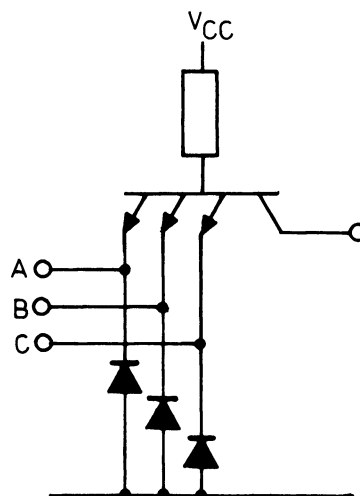
TTL = Transistor-transistor-logik

TTL-kredse er vel nok de logikkredse, der anvendes mest.

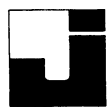
Ved TTL-kredse er gate-delen udformet som en multiemittertransistor, der er koblet som jordnet basis.



En indgangsspænding fra 0 til 0,8 V er klassificeret som LOW, positiv logik: LOW = 0 og spændinger over 2 V som HIGH, 1.

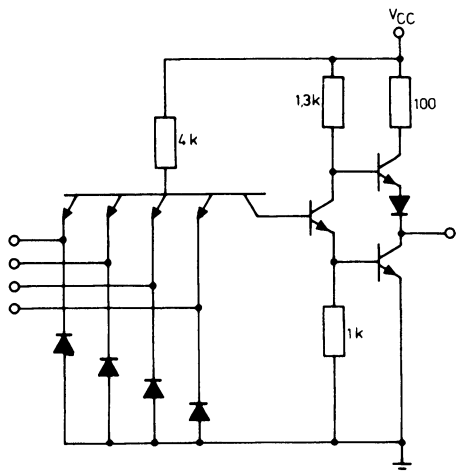


Yderligere ses anvendt clampedioder i indgangene, dels for at dæmpe refleksioner på tilsluttede ledninger, og dels for at beskytte multitransistoren.

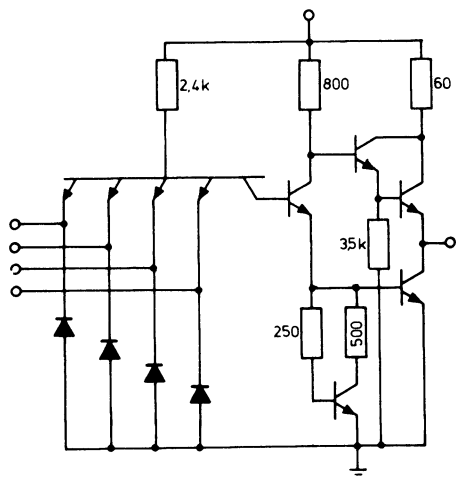


De fleste TTL-kredse er forsynet med aktiv pull-up, også kaldet "totem-pole". Dog findes der udgaver af gatene i en "open collector"-udførelse. Disse skal forsynes med ekstern pull-up, passiv pull-up i form af kollektormodstand.

a.



b.



Herover ses hele gaten, 4 input NAND, med typiske modstandsværdier.

a. I standardudførelse.

b. I Higt gain - higt speed udførelse.

Fan in 4 eller flere med ekspanderindgange.

Fan out 10.

Støjmargin 0,4 V.

Propagation delay 10 ns.

Maks. arbejdsfrekvens for FF 40 MHz.

Effektforbrug/gate, standard 10 mW.

Effektforbrug/gate, higt-speed 25 mW.

Low power TTL

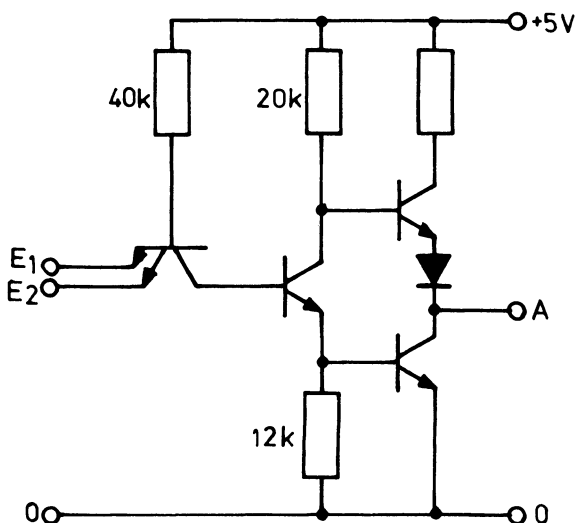
Selv om 10 mW gate ikke lyder af meget, vil et kredsløb indeholdende mange funktioner hurtigt kunne belaste strømforsyningen med et stort forbrug.

Derfor er TTL-low power-serien udviklet.

Disse kredse optager kun ca. 1/10 af den effekt, der optages af en standard TTL-kreds.

Dette er opnået ved at gøre alle modstande i gaten ca. 10 gange større.

Til gengæld falder gatens hastighed, idet diverse kapaciteter nu skal ompolariseres, op- og aflades, ved hjælp af 10 gange større modstande.



Tegningen viser low power NAND-gate f.eks. SN74L00N.

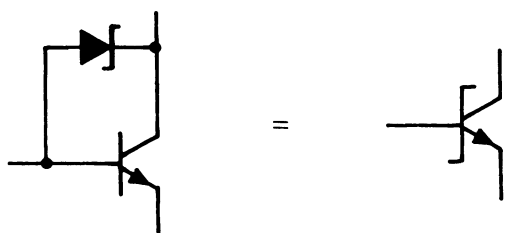


TTL-schottky

Normalt vil man få et hurtigt skift fra high til low ved at overstyre transistoren med en stor basisstrøm, med andre ord, man mætter transistoren.

Til gengæld bliver skiftet low-high langsomt, idet alle ladningsbærere først skal fjernes fra basislaget, inden transistoren kan gå OFF.

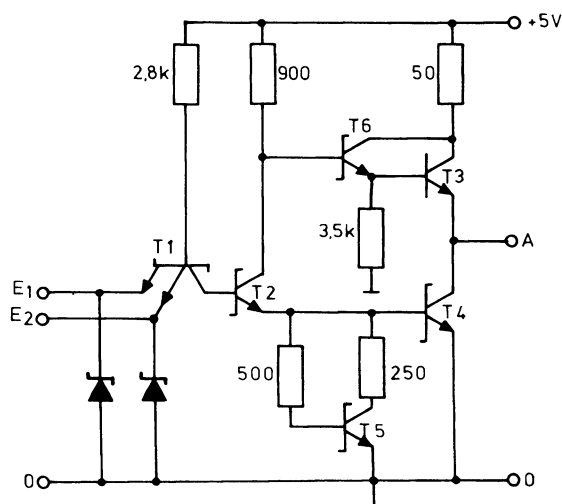
For at få små skiftetider begge veje anbringes en såkaldt schottky-diode fra basis til kollektor.



Schottky-barrier-diode SBD

Schottky-transistor

Schottky-dioden er en metal-n silicium overgang, der har en ledespænding på 0,4 V. Herved kan undgås, at transistoren mættes, da schottky-dioden shunter den overflødige styrestrøm, og transistoren kan hurtigt køres OFF.



Effektforbrug/gate 20 mW

Propagation delay 3 ns

Maks. arbejdsfrekvens for FF
120 MHz.

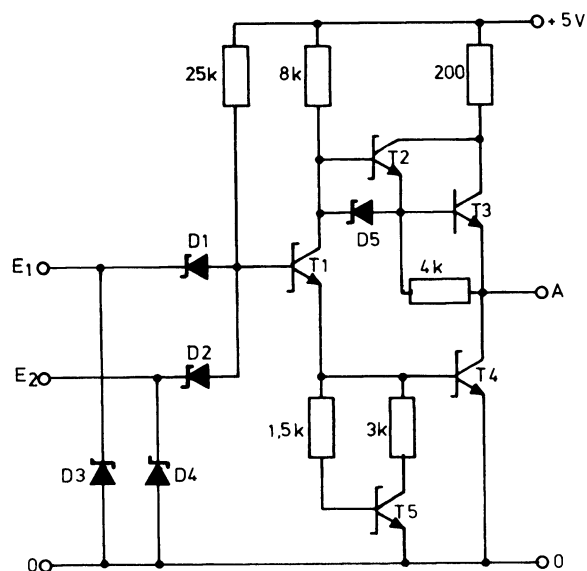
Low power TTL schottky-kreds

Sidste variation af TTL-kredse, der skal vises, er LS-kredsen, low power-schottky.

Herved kan skiftehastighed sættes op til ca. samme værdi, som er gældende for standardkredsen.

Effektforbruget ligger på ca. 2 mW-gate og propagation delay på 10 ns som ved standardudgaven.

Desuden har LS-kredsene schottky-diode-indgange i stedet for multiemitteren, DTL-princippet.



ECL-logik

ECL - Emitter-coupled-logic eller CML- Current-mode-logic

I de indtil nu omtalte logiske kredse sker opnåelsen af de to logiske niveauer ved enten at køre udgangstransistoren i mætning eller cut-off.

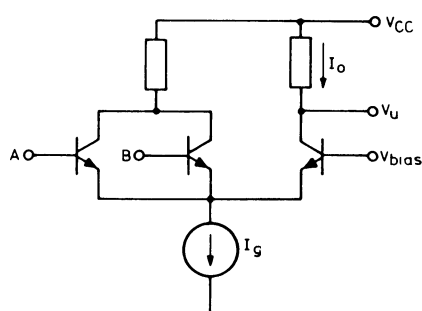
Herved fås en propagation delay for standard TTL-kredse på typisk 11 ns, medens højeste arbejdsfrekvens for en flip-flop er ca. 40 MHz.



En anden ulempe, der også bør omtales, er, at den strøm, der i skifteøjeblikket trækkes fra strømforsyningen, får form som en strømpuls med en længde på nogle få ns.

Da forsyningsledningerne, printbaner, besidder en mærkbar selvinduktion, vil der blive frembragt selvinducerede spændinger af kredsløbet selv. Disse må så afkobles ved hjælp af kapaciteter tæt ved hver enkelt IC.

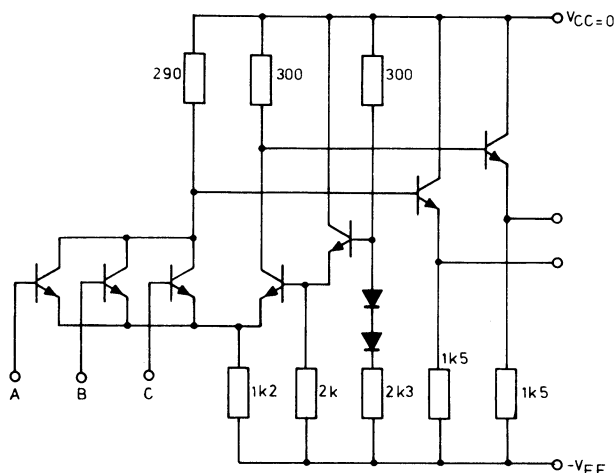
Ovennævnte ulemper kan undgås, og højere skiftehastigheder kan opnås ved at bruge strømswitches. Ved en ideel strømswitch bliver en konstant strøm fordelt mellem to eller flere grene. Desuden er en transistor som strømswitch aldrig mættet, og derved kan meget små skiftetider opnås.



Som det ses, indeholder opstillingen en differentialforstærker med en konstantstrømsgenerator i den fælles emitterledning.

En indgangsspænding, der er positiv i forhold til biasspændingen, får værdien logisk 1, medens en negativ indgangsspænding i forhold til biasspændingen får værdien logisk 0.

Herunder er vist en ECL-gate med typiske komponentværdier.



Kredsens forsyningsspænding er typisk $-5,2$ V. Biasspændingen er frembragt ved hjælp af en kompenseret spændingsdeler gennem en emitterfølger.

Konstantstrømsgeneratoren er her erstattet med emittermodstanden på $1,2$ k Ω .

Yderligere ses, at kredsløbet på samme tid fungerer som OR- og NOR-gate.

Fan in 20.

Fan out 25.

Støjmargin $0,35$ V.

Propagation delay 1 til 4 ns.

Maks. arbejdhastighed for FF 100 til 900 MHz.

Effektforbrug/gate 40 til 60 mW.

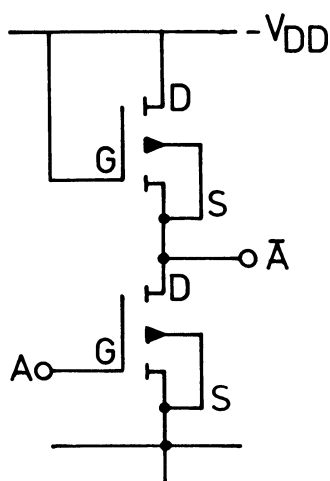
Af ulemper skal nævnes det forholdsvis store forbrug, og desuden kræves der en god stabiliseret forsyngingskilde.



MOS-logik

MOS - Metal-oxide-semicondutor.

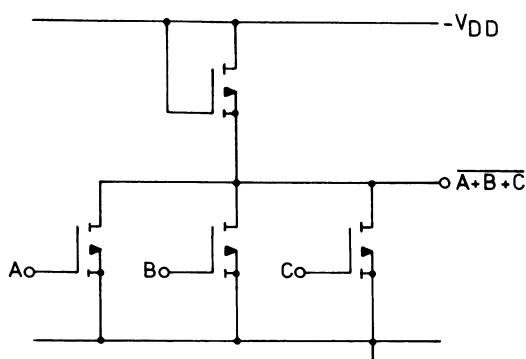
Efterhånden forekommer det naturligt at anvende MOS-FET transistorer i logiske kredse, idet teknikken ved fremstillingen af disse er betydeligt enklere end for TTL-kredse.



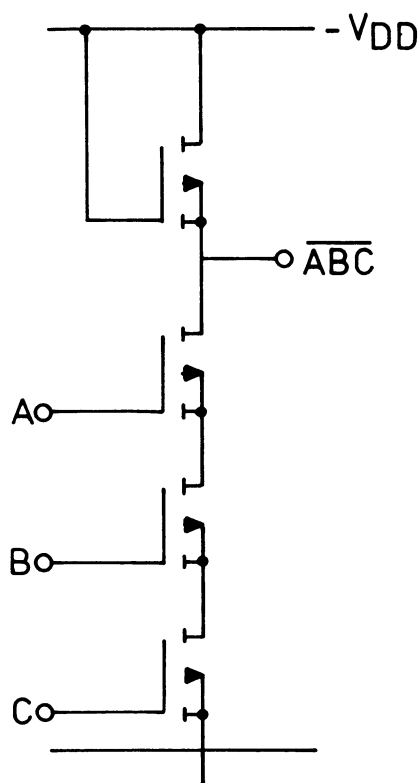
Tegningen viser en inverter opbygget med P-kanal MOS-FET-transistorer af enhancement-typen.

Nederste transistor er selve inverteren, medens øverste transistor er koblet som konstantstrømsgenerator, passiv pull-up.

NOR-gate fremstilles ved at parallelkoble flere invertertransistorer og bruge fælles pull-up.



NAND-gaten fremstilles ved seriekobling af invertere med fælles pull-up.



Da P-MOS-kredse kræver negativ forsyningsspænding, anvendes normalt også negativ logik, da logisk 1 derved svarer til forsyningsspændingen.

Forsyningsspænding -24 V.

Fan out 20.

Støjmargin ca. 1 V.

Propagation delay > 300 ns.

Maks. arbejdsfrekvens (FF) 1 MHz.

Effektforbrug/gate 1 til 10 mW.

Som det ses, er effektforbrug ca. som ved almindelige TTL-kredse, medens arbejdhastigheden er betydeligt lavere. Det skyldes kredsens høje impedans, og derved tager det tid at ompolarisere diverse spredningskapaciteter.



CMOS-logik

CMOS står for complementær symmetrisk MOS.

Ved at gøre brug af CMOS-teknikken kan der opnås adskillige forbedringer i forhold til MOS-kredse.

De fortrin, CMOS-kredsene har, kan sammenfattes i:

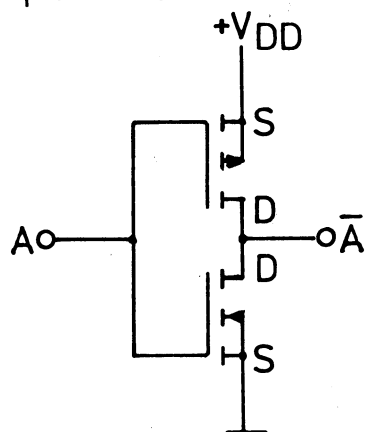
Det statiske effekttab måles i nW.

Det dynamiske effekttab er af størrelsesordenen μ W.

Støjmarginen er ca. halvdelen af forsyningsspændingen.

Kredsløbets funktion er næsten uafhængig af variationer i forsyningsspændingen.

Skiftepunktet ændres kun lidt med temperaturen.



Den væsentligste egenskab ved CMOS-kredsene er det lave effektforbrug. Forklaringen herpå er, at kredsløbet er opbygget af to komplementære MOS-transistorer, der er forbundet i serie mellem nul og forsyningsspændingen.

Gatene er forbundet sammen, hvilket vil betyde, at den ene transistor vil være ledende, når den anden er spærret.

I en statisk situation, 1 eller 0, vil det kun være lækstrømmen, $<1 \mu$ A, der løber mellem forsyningsledningen og nul.

Under dynamiske forhold stiger strømforbruget. Årsagen hertil er, at udgangen er belastet med en spredningskapacitet, der også omfatter de kapaciteter, som de tilkoblede styreelektroder udgør. For at få udgangsspændingen til at skifte, må denne kapacitet op- og aflades. Det er derfor nødvendigt, at der løber strøm gennem én af MOS-transistorerne, med andre ord, energien tilføres kapaciteten af den ene transistor og fjernes af den anden. Det betyder, at effektforbruget stiger proportionalt med skiftefrekvensen.

Da indgangsimpedansen af en CMOS er høj, vil indgangen ikke belaste en udgang med et strømforbrug, og udgangsspændingen vil derfor ved logisk 1 og 0 svinge mellem forsyningsspændingen og nul. Da skifteniveauet ligger ved ca. 50% af forsyningsspændingen, skal støjsignaler have en størrelse på ca. 7 V ved 15 V forsyningsspænding for at virke generende.

CMOS-kredsene har et statisk fan out på 1.000. Dette er dog mere en teoretisk værdi, da systemet skal kunne arbejde under dynamiske forhold. Her er det mere den før omtalte spredningskapacitet, der sætter begrænsningen.

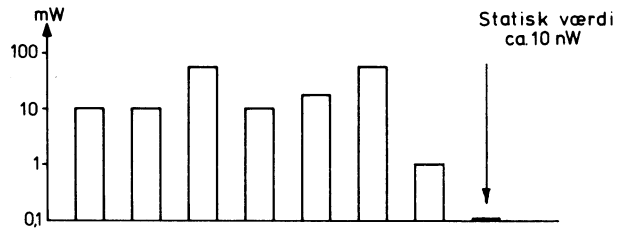
Denne kapacitetsværdi er normalt ca. 5 pF. Med 1.000 indgange på en CMOS-udgang antager denne kapacitet en værdi på 5 nF. Resultatet bliver nedsat hastighed og forøget strømforbrug. Normalt regner man med et fan out på 50.

Normalt anvendes CMOS-teknikken (og MOS) til større integrerede systemer (LSI), dog kan der også fås NOR- og NAND-kredse, SSI.

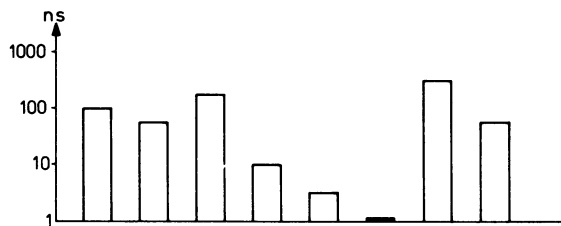


SAMMENLIGNING

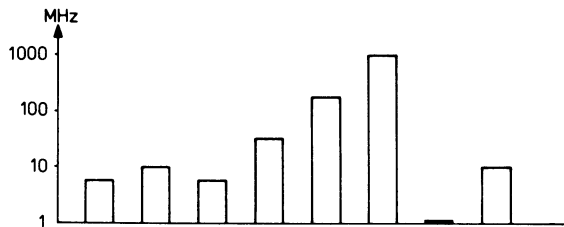
Effektforbrug pr. gate



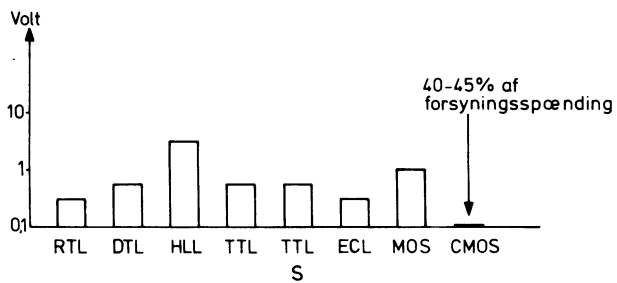
Propagation delay



Maks. arbejdsfrekvens for flip-flop



Støjmargin





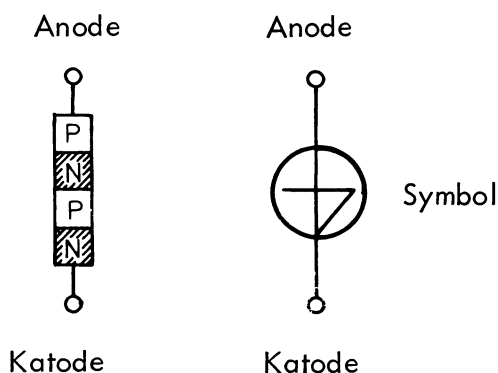


DISPOSITION

1. Shockley-dioden
2. Silicon Controlled Rectifier, SCR
3. Silicon Controlled Switch, SCS
4. Bidirectional Diode Thyristor, DIAC
5. Bidirectional Triode Thyristor, TRIAC
6. Type- og symboloversigt
7. Kredsløbseksempler

1. SHOCKLEY-DIODEN

Sammensættes fire lag af skiftevis N- og P-materiale, fås tre diodeovergange.

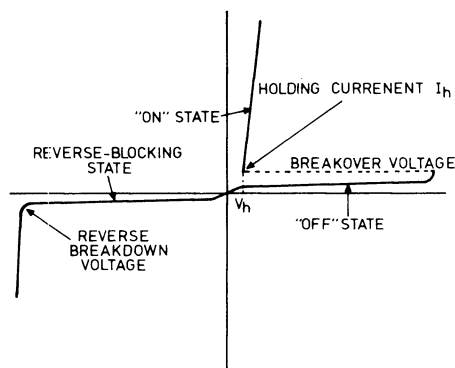


Påtrykkes det yderste P-lag + og det yderste N-lag -, er to af diodeovergangene forspændt i lederetningen og en i spærreretningen.

Øges den påtrykte spænding, sker der et gennembrud af det midterste spærrelag, gennembrudet er en avalanche eller zenereffekt, som kendt fra zenerdioden.

Dioden virker nu som en kortslutning, og denne tilstand holdes, indtil spændingen over den bliver 0 eller minus, eller strømmen falder under holdeværdien.

1.1 Karakteristik



Karakteristikfeltet er ikke tegnet i korrekt måleforhold, idet "Reverse Breakdown Voltage" er meget større end "Breakover Voltage".

"Reverse Breakdown Voltage" er den spænding, der tilført i spærreretningen over dioden, giver et gennemslag i dioden, ligesom ved en almindelig ensretterdiode.

Øges forspændingen i lederetningen, vil der kun løbe en meget lille strøm i dioden, indtil forspændingen når "Breakover Voltage".

Ved "Breakover Voltage" skifter dioden fra OFF til ON og går i mætning.

Hvis spændingen til dioden reduceres, vil den forblive ON, indtil strømmen i dioden bliver mindre end holdestrømmen I_h .

Dioden kan også bringes til OFF ved at reducere spændingen over dioden til en værdi mindre end holdespændingen V_h .

Holdestrømmen varierer afhængig af type i området fra få mA til adskillige mA.

Holdespændingen ligger i området mellem 0,5 V til 20 V, afhængig af type.



I ON tilstand er diodens dynamiske modstand mindre end 10Ω .

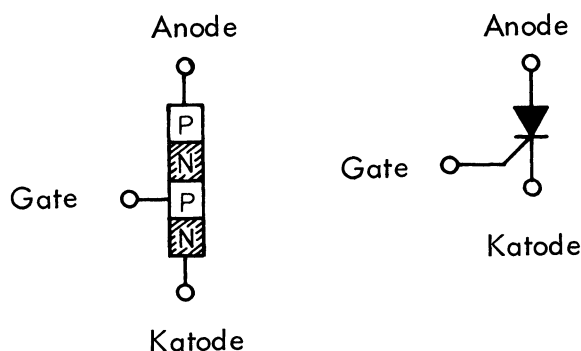
"Breakover Voltage" afhænger af typen, men kan ligge mellem få V og flere hundrede V.

Ligesom 4-lags dioden leder SCR'en, så længe strømmen er større end holdestrømmen. Den kan altså IKKE afbrydes ved at afbryde gatestrømmen.

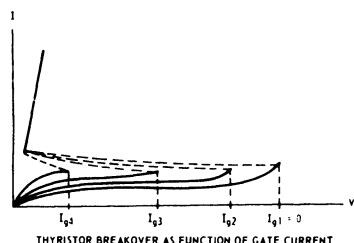
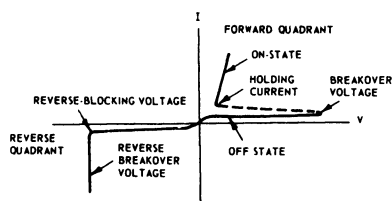
2. SILICON CONTROLLED

RECTIFIER, SCR

Anbringes der på det inderste P-lag i en 4-lags diode en ydre forbindelse, en gate, fås en SCR-diode.



Ved at tilføre en strøm til gaten kan "Breakover Voltage" ændres. Større I_G giver mindre "Breakover Voltage".

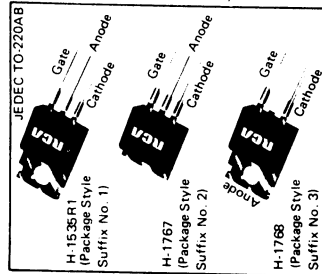


2.1 Datablad

Solid State
Division

Thyristors

106, 107 Series

**4-Ampere Sensitive-Gate
Silicon Controlled Rectifiers**

For Power Switching and Control Applications

Features:

- Microampere gate sensitivity
- 600-V capability
- 4-A (rms) on-state current ratings
- 35-A peak surge capability
- Glass-passivated chip for stability
- Low thermal resistances
- Surge capability curve
- Three package configurations for heat-sink and PC board mounting

RCA-106 and 107 series are sensitive-gate silicon controlled rectifiers designed for switching ac and dc currents.

These SCR's are divided into the 106 series and the 107

series according to gate sensitivity. The types within each series differ in their voltage ratings; the voltage ratings are identified by suffix letters in the type designations. (Cont'd: pg. 2)

MAXIMUM RATINGS, Absolute-Maximum Values:

NON-REPETITIVE PEAK REVERSE VOLTAGE	$R_{GK} = 1000 \Omega$, $T_C = -40$ to 110°C	V_{RSOM}	106M, 107M
NON-REPETITIVE PEAK FORWARD VOLTAGE	$R_{GK} = 1000 \Omega$, $T_C = -40$ to 110°C	V_{DSOM}	106M, 107M
REPETITIVE PEAK REVERSE VOLTAGE	$R_{GK} = 1000 \Omega$, $T_C = -40$ to 110°C	V_{RORM}	106M, 107M
REPETITIVE PEAK OFF-STATE VOLTAGE	$R_{GK} = 1000 \Omega$, $T_C = -40$ to 110°C	V_{DORM}	106M, 107M
ON-STATE CURRENT:	Conduction angle = 180° , $T_C = 85^\circ\text{C}$		
Average ac value		$I_T(AV)$	2.5
RMS value		$I_T(RMS)$	4
DC operation		$I_T(DC)$	2.75
PEAK SURGE (NON-REPETITIVE) ON-STATE CURRENT:	For one cycle of applied principal voltage		
60 Hz (sinusoidal)		I_{TSM}	35
For more than one cycle of applied principal voltage			
PEAK GATE CURRENT		I_{GFM}	0.2
PEAK GATE REVERSE VOLTAGE		V_{GRM}	6
RATE OF CHANGE OF ON-STATE CURRENT:	$V_{DM} = V_{DORM}$, $I_{GT} = 1 \text{ mA}$, $t_r = 0.5 \mu\text{s}$, $T_C = 110^\circ\text{C}$	di/dt	100
GATE POWER DISSIPATION:			
PEAK FORWARD (for 10 μs max.)		P_{GM}	0.5
AVERAGE (during time = 10 ms, max.)		$P_{G(AV)}$	0.1
TEMPERATURE RANGE:			
Storage		T_{stg}	-40 to +150
Operating (case)*		T_C	-40 to +110
LEAD TEMPERATURE (During soldering):			250

*Temperature measuring points are shown in the dimensional outlines on page 6.

Three package designs are available: the JEDEC TO-220AB, which is RCA's popular plastic VERSAWATT package; the TO-220AB without a mounting flange; and a straight-lead variant of the TO-220AA package. These packages are identified as styles 1, 2, 3, respectively and are identified by suffix numbers following the suffix letters in the type design.

nations e.g., RCA-106A1 is a 100-volt type in a VERSAWATT package.

These thyristors feature microampere gate-current requirements which permit operation in conjunction with low-level logic circuits. They can be used for lighting, power-switching, and motor-speed controls, and for gate-current amplification for driving larger SCR's.

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	SYMBOL	LIMITS						UNITS
		106Q-106Y-106A-106M	106B-106F-106E-106M	107Q-107Y-107F-107A-107E-107M	MIN.	TYP.	MAX.	
PEAK OFF-STATE CURRENT: Forward, $V_D = V_{DORM}$, $R_{GK} = 1000 \Omega$ $T_C = 25^\circ\text{C}$ $T_C = 110^\circ\text{C}$	I_{DORM}	0.1 10	10 100	0.1 10	0.1 10	10 100		μA
Reverse, $V_R = V_{RORM}$, $R_{GK} = 1000 \Omega$ $T_C = 25^\circ\text{C}$ $T_C = 110^\circ\text{C}$	I_{RORM}	— —	— —	— —	— —	— —	— —	μA
INSTANTANEOUS ON-STATE VOLTAGE: For $I_T = 4 \text{ A}$ and $T_C = 25^\circ\text{C}$	V_T	—	1.25 2.2	—	1.25 2.2	—	2.2	V
DC GATE TRIGGER CURRENT: $V_D = 12 \text{ V (DC)}$, $R_L = 30 \Omega$ $T_C = 25^\circ\text{C}$ For other case temperatures	I_{GT}	—	30 200	—	325 500	—	See Fig. 9	μA
DC GATE TRIGGER VOLTAGE: $V_D = 12 \text{ V (DC)}$, $R_L = 30 \Omega$ $T_C = 25^\circ\text{C}$ For other case temperatures, see Fig. 13	V_{GT}	—	0.5 0.8	—	0.5 0.8	—		V
INSTANTANEOUS HOLDING CURRENT: $R_{GK} = 1000 \Omega$ $T_C = 25^\circ\text{C}$	I_{HO}	—	1.7 3.0	—	1.9 3.0	—		mA
CRITICAL RATE OF RISE OF OFF-STATE VOLTAGE: $V_D = V_{DORM}$, $R_{GK} = 1000 \Omega$ Exponential rise, $T_C = 110^\circ\text{C}$	dv/dt	5 8	—	5 8	—	—		V/ μs
GATE CONTROLLED TURN-ON TIME: $V_D = V_{DORM}$, $I_T = 1 \text{ A}$, $I_{GT} = 1 \text{ mA}$, rise time = $0.1 \mu\text{s}$, $T_C = 25^\circ\text{C}$	t_{gt}	—	1.7 2.5	—	1.7 2.5	—		μs
CIRCUIT COMMUTATED TURN-OFF TIME: $V_D = V_{DORM}$, $I_T = 1 \text{ A}$ Pulse Duration = $50 \mu\text{s}$ $dv/dt = -5 \text{ V}/\mu\text{s}$, $di/dt = -10 \text{ A}/\mu\text{s}$ $I_{GT} = 1 \text{ mA}$ at turn on, $T_C = 110^\circ\text{C}$	t_q	—	30 100	—	30 100	—		μs
THERMAL RESISTANCE: Junction-to-Case*	$R_{\theta JC}$	—	3.5	—	—	—	3.5	$^\circ\text{C}/\text{W}$
Junction-to-Ambient	$R_{\theta JA}$	—	60	—	—	—	60	
LATCHING CURRENT: $R_{GK} = 1000 \Omega$, $T_C = 25^\circ\text{C}$	I_L	—	1.8 4.0	—	2.5 4.0	—		mA

*Temperature measuring points are shown in the dimensional outlines on page 6.

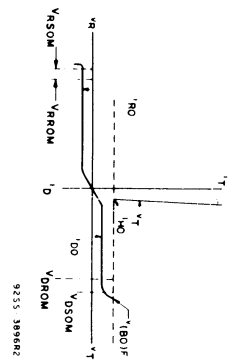


Fig. 1 - Typical volt-ampere characteristic of 106/107 series of silicon controlled rectifiers.

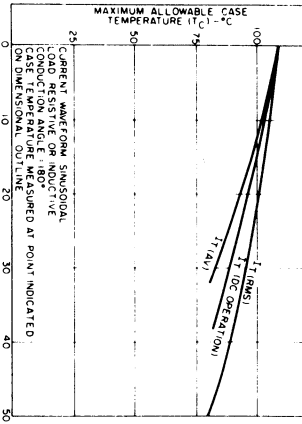


Fig. 2 - Maximum allowable case temperature vs. on-state current.

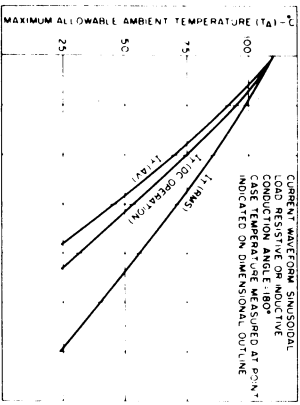


Fig. 3 - Maximum allowable ambient temperature vs. on-state current.

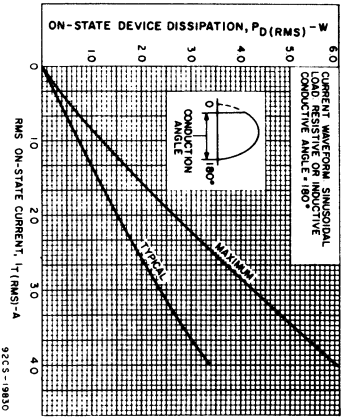


Fig. 4 - Power dissipation vs. rms on-state current.

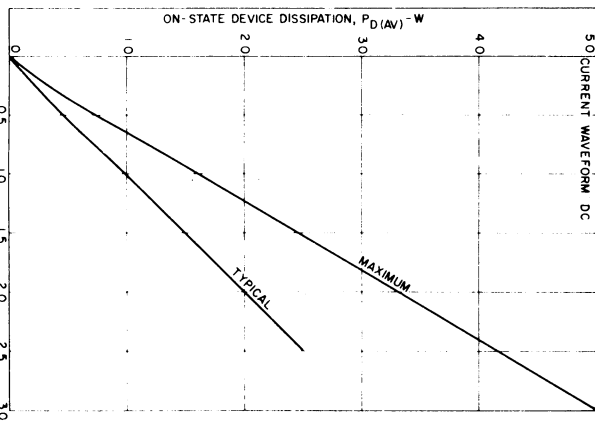


Fig. 5 - Power dissipation vs. dc on-state current.

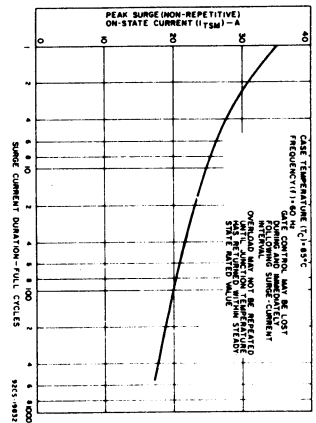


Fig. 6 - Peak surge on-state current vs. surge-current duration.

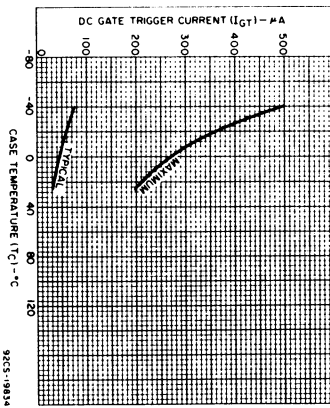


Fig. 8 - DC gate trigger current vs. case temperature for 106 series.

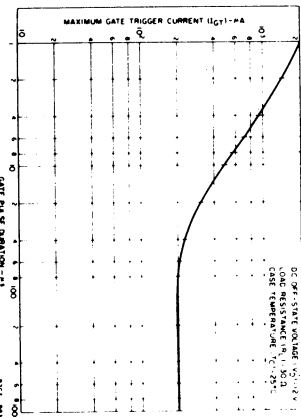


Fig. 10 - Maximum gate trigger current vs. gate pulse duration for types in the 106 series.

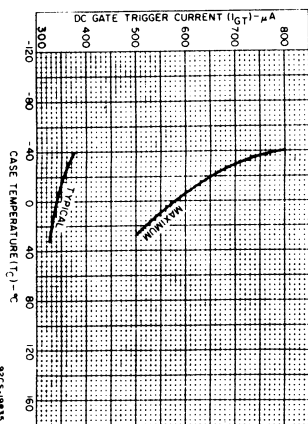


Fig. 9 - DC gate trigger current vs. case temperature for 107 series.

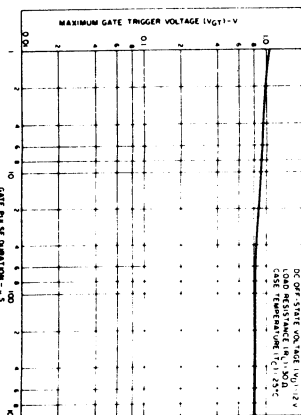


Fig. 11 - Maximum gate trigger voltage vs. gate pulse duration for types in the 106 series.

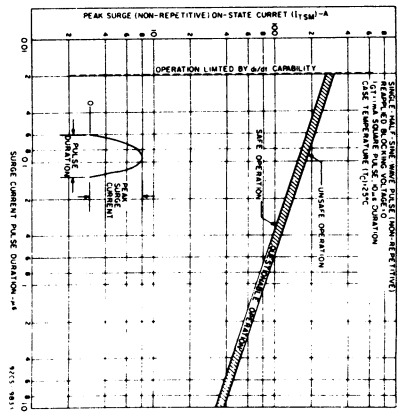


Fig. 7 - Surge capability without reapplied blocking voltage.

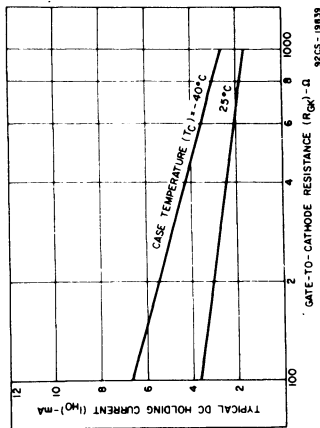


Fig. 12—DC holding current vs. gate-cathode resistance.

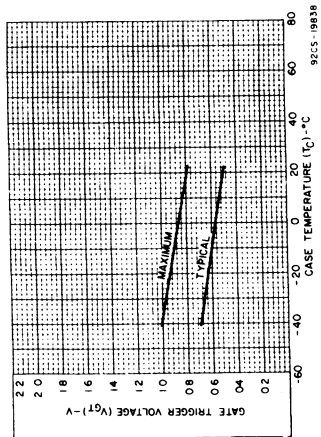


Fig. 13—Gate trigger voltage vs. case temperature.

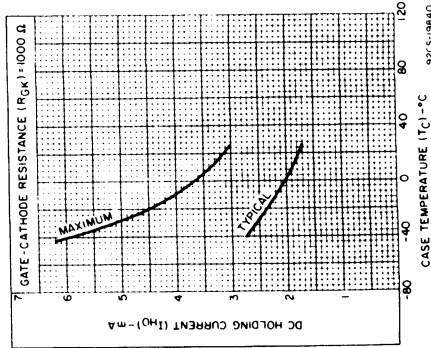


Fig. 14—DC holding current vs. case temperature for types in the 106 series.

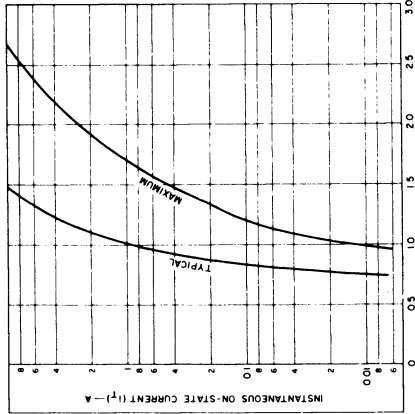


Fig. 15—Instantaneous on-state current vs. on-state voltage.

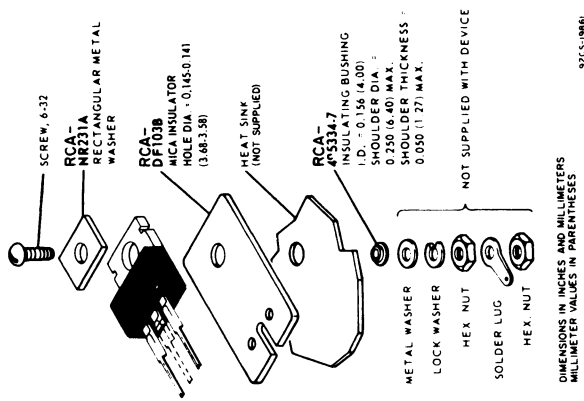


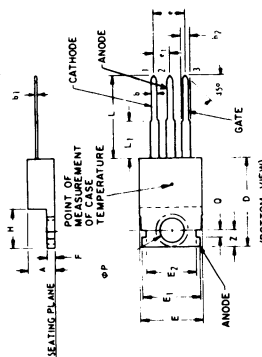
Fig. 16—Suggested mounting arrangement.

RCA APPLICATION NOTES ON THYRISTORS

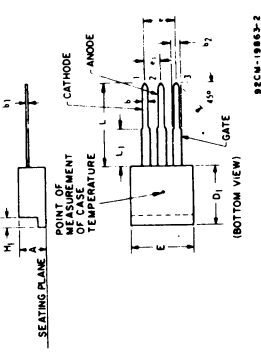
- AN-3469 "Application of RCA Silicon Controlled Rectifiers to the Control of Universal Motors."
- AN-3822 "Thermal Considerations in Mounting RCA Thyristors."
- AN-4242 "A Review of Thyristor Characteristics and Applications."
- AN-3551 "Circuit Factor Charts for Use in Applications with RCA Thyristors (SCR's and Triacs)."
- AN-3886 "AC Voltage Regulators Using Thyristors."
- AN-4124 "Handling and Mounting of RCA Molded-Plastic Transistors and Thyristors."

Single copies of these publications are available on request from RCA Solid State Division, Box 3200, Somerville, N.J. 08876

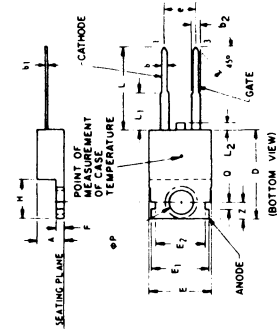
DIMENSIONAL OUTLINE (JEDEC TO-220AB) (SUFFIX No. 1)



DIMENSIONAL OUTLINE (SUFFIX No. 2)



DIMENSIONAL OUTLINE (SUFFIX No. 3)



SYMBOL	INCHES		MILLIMETERS	
	MIN.	MAX.	MIN.	MAX.
A	0.180	0.190	4.07	4.82
b	0.025	0.040	0.64	1.02
b ₁	0.012	0.020	0.31	0.51
b ₂	0.045	0.055	1.143	1.397
D	0.575	0.625	14.6	15.9
D ₁	0.32	0.42	8.13	10.7
E	0.395	0.410	10.04	10.41
E ₁	0.385	0.395	9.78	9.77
E ₂	0.300	0.320	7.62	8.12
e	0.180	0.220	4.57	5.58
e ₁	0.080	0.120	2.03	3.04
F	0.020	0.055	0.51	1.39
H	0.235	0.265	5.97	6.73
H ₁	0.03	0.05	0.762	1.27
L	0.500	—	12.70	—
L ₁	—	0.250	—	6.35
L ₂	0.02	0.05	0.51	1.27
L ₃	0.141	0.145	3.582	3.683
L ₄	0.040	0.060	1.02	1.52
L ₅	0.100	0.120	2.54	3.04

92CM-19863-3



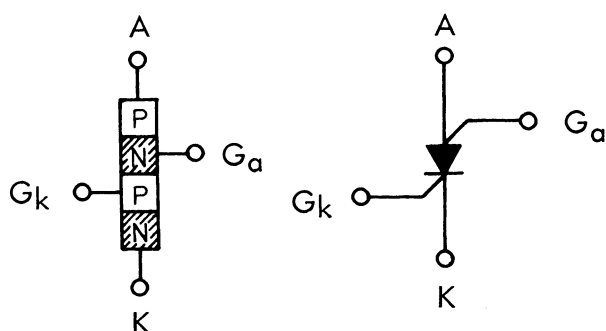
3. SILICON CONTROLLED

SWITCH, SCS

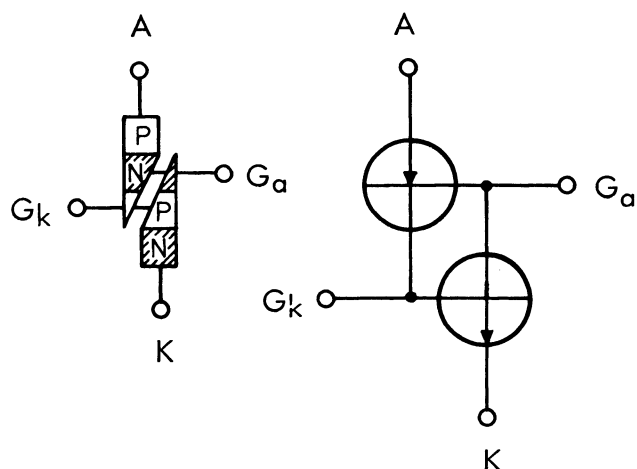
En "Silicon Controlled Switch" har styreelektroder på alle fire halvlederlag i dioden.

Elektroden nærmest katoden kaldes katode-gate, G_k .

Elektroden nærmest anoden kaldes anode-gate, G_a .



SCS'en kan sammenlignes med to transistorer, koblet som BMV, enten er begge transistorer ON eller begge OFF.



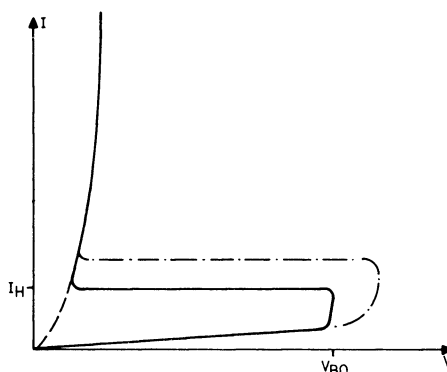
3.1 Ledekaraktistik

En positiv impuls på G_k får SCS'en til at gå ON.

En negativ impuls på G_a får SCS'en til at gå ON.

Under visse betingelser kan SCS'en bringes til OFF ved hjælp af en af de to gates.

Tilføres en af styreterminalerne en spænding, der driver strømmen i modsat retning af den, som anvendes til trigning eller tænding, vil man inden for visse grænser kunne ændre anode-katodekarakteristikken, som vist med den stiplede kurve.



Man kan herved dels opnå en forøgelse af den anode-katode-spænding V_{BO} , der uden trigning på styreterminalerne kan gøres SCS'en ledende, dels en forøgelse af holdestrømmen I_H .

Forøges holdestrømmen til en værdi, der er større end anode-katodestrømmen i det betragtede øjeblik, vil SCS'en blokeres og forblive blokeret, selv om blokeringspændingen på styreterminalen fjernes.

Med de 4-lags halvledere af SCS-typen, der hidtil er fremstillet, kan man med en blokeringspænding på G_k kun opnå blokering ved meget små anode-katodestrømme, og den nødvendige G_k -strøm andrager da $1/5$ til $1/2$ gang anode-katodestrømmen.

Ved blokering via G_a er det muligt at afbryde strømme, der antager værdier i nærheden af SCS'ens maksimalt tilladelige data. I sidstnævnte tilfælde kræves der til gengæld en, omend kortvarig, G_a -strøm af samme størrelse som anode-katodestrømmen.



3.2 Spærrekarakteristik

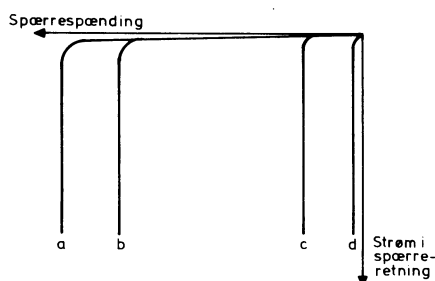
Kortsluttes G_a og anoden, kunne man vente, at SCS'en ikke mere har en 4-lags halvleders typiske "enten ledende eller ikke ledende" karakter.

Dette er imidlertid ikke tilfældet, da afstanden mellem styreelektrodens kontaktpunkt på siliciumkryсталlet og spærrelagene er så store, at den frembryder en sådan modstand, at der ikke foreligger en reel kortslutning af PN-spærrelagets to sider. Samme forhold gør sig gældende ved kortslutning af G_k og katoden.

Imidlertid påvirkes "Reverse breakdown Voltage", hvis en eller begge styreelektroder kortsluttes til henholdsvis anode eller katode.

Kurven viser strømmen i spærre-retningen som funktion af spærrespændingen ved:

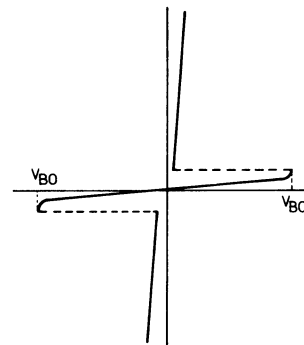
- G_a og G_k afbrudt.
- G_k kortsluttet til katode.
- G_a kortsluttet til anode.
- G_k og G_a kortsluttet til henholdsvis katode og anode.

4. BIDIRECTIONAL DIODE
THYRISTOR, DIAC

4.1 Diac, Bidirectional Diode Thyristor

Vendes to 4-lags dioder modsat, fås en halvleder, DIAC'en, der kan bruges som triggerdiode.

Da de to 4-lags dioder vender modsat, kan dioden lede i begge retninger, hvis "Breakover Voltage" overvindes.

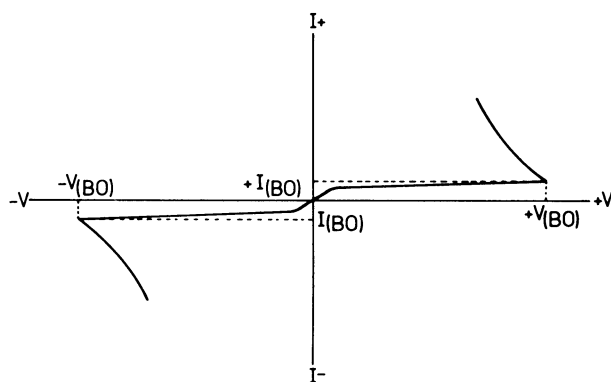


4.2 Trigger DIAC

Under navnet DIAC fremstilles også en 3-lags halvlederkomponent, trigger DIAC'en.

Denne diode anvendes ofte til at trigge SCR-dioden eller TRIAC'en.

Strøm-spændingskarakteristik for trigger DIAC'en:

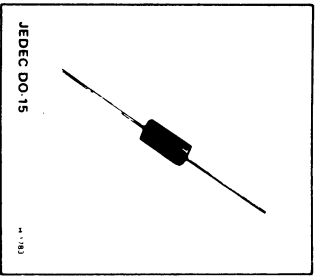


Som symbol for trigger DIAC'en bruges:



4.3 Datablad, Trigger DIAC

RCA Solid State Division Thyristors 45411 45412



Silicon Bidirectional Diacs

Plastic-Packaged Two Terminal Trigger Devices for Applications in Military, Industrial, and Commercial Equipment

- Features:**
- For critical triggering applications requiring narrow breakover voltage range (29-35V)—45411
 - Typical breakover voltage: $V_{BO} = 32\text{ V}$
 - Low breakover current (at breakover voltage): $I_{BO} = 25\text{ }\mu\text{A max.}$
 - High peak pulse current capability
 - Breakover voltage symmetry: $|+V_{BO}| - |-V_{BO}| = \pm 3\text{ V max.}$

RCA 45411 and 45412 are all-diffused, three-layer, two-terminal devices in an axial-lead plastic package designed specifically for triggering thyristors. Both units exhibit bidirectional negative-resistance characteristics.

These diacs are intended for use in thyristor phase-control circuits for lamp-dimming, universal-motor speed control, and heat controls. Their small size and plastic package of high insulation resistance make these diacs especially suitable for applications in which high packing densities are employed.

MAXIMUM RATINGS, Absolute-Maximum Values:

DEVICE DISSIPATION: At case temperature up to 40°C 1 W
At case temperatures above 40°C Derate 0.016 W/ $^\circ\text{C}$

TEMPERATURE RANGE: Storage -40 to $+150^\circ\text{C}$
Operating (Junction) -40 to $+100^\circ\text{C}$
Lead Temperature (During Soldering) 240°C for 10 s max.

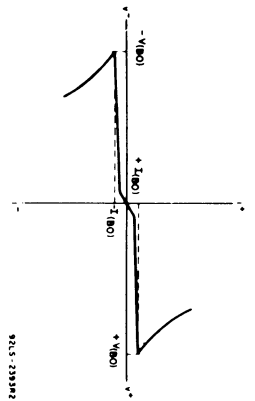


Fig. 1—Voltage-current characteristic for both types.

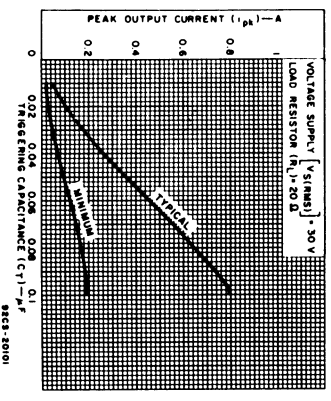


Fig. 2—Peak output current vs. triggering capacitance.

ELECTRICAL CHARACTERISTICS: At Case Temperature (T_C) = 25°C

CHARACTERISTIC	SYMBOL	TEST CONDITIONS	LIMITS				UNITS
			45411 MIN.	45411 MAX.	45412 MIN.	45412 MAX.	
Breakover Voltage (Forward or Reverse)	V_{BO}		29	35	25	40	V
Breakover Voltage Symmetry	$ +V_{BO} - -V_{BO} $			± 3		± 3	V
Peak Output Current (See Figs. 2, 3, & 5)	I_{pk}	$V_{SUPPLY} = 30\text{ V RMS}; C_T = 0.1\text{ }\mu\text{F}; R_L = 20\text{ }\Omega$	190		190		mA
Peak Breakover Current	I_{BO}	At breakover voltage		25		25	μA
Dynamic Breakback Voltage	$ \Delta V $	$V_{SUPPLY} = 30\text{ V RMS}; C_T = 0.1\text{ }\mu\text{F}; R_L = 20\text{ }\Omega$	9		9		V
Thermal Impedance Junction-to-ambient	θ_{JA}			60		60	$^\circ\text{C/W}$

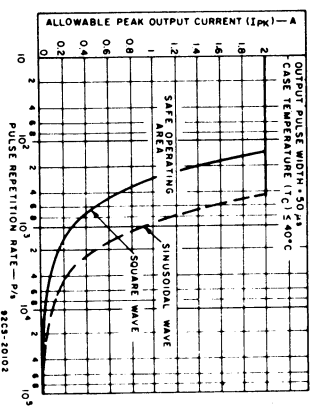


Fig. 3—Peak output current derating curves.

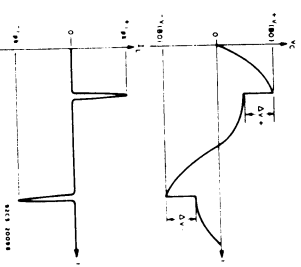


Fig. 5—Test circuit waveforms (see Fig. 4).

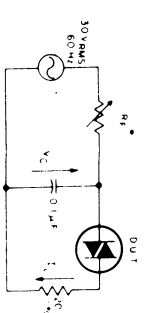


Fig. 4 Circuit used to measure diac characteristics.

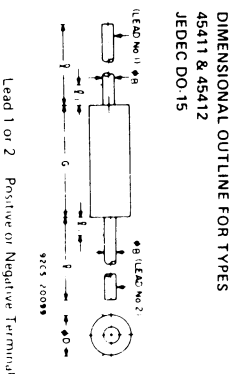


TABLE 1
TYPICAL ELECTRICAL CHARACTERISTICS

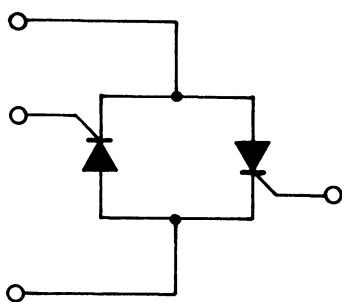
PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{BO}	29	32	35	V
I_{BO}	0.025	0.025	0.025	μA
I_{pk}	190	190	190	mA
$ \Delta V $	9	9	9	V
θ_{JA}	60	60	60	$^\circ\text{C/W}$



5. BIDIRECTIONAL TRIODE

THYRISTOR, TRIAC

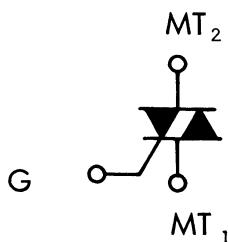
Virkemåden af en TRIAC kan sammenlignes med to SCR-dioder i antiparallel.



En af de to dioder vil kunne bringes til at lede, uanset hvordan spændingen over dioderne er polariseret.

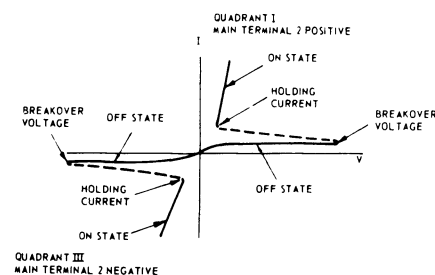
TRIAC'en er en 4-lags diode med nogle "ekstra" lag indlagt, der gør, at den kan lede i begge retninger og kan trigges af positive eller negative spændinger, uanset polariteten af spændingen over dioden.

5.1 Symbol



MT = main terminal

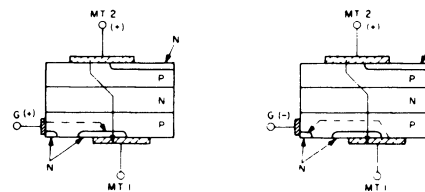
5.2 Karakteristik og strømveje



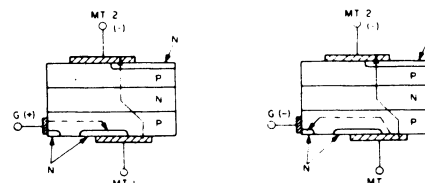
"Breakover Voltage" kan ændres ved at tilføre gaten en positiv eller negativ spænding.

Da MT₂ enten kan være positiv eller negativ i forhold til MT₁, og gaten enten positiv eller negativ i forhold til MT₁, opstår der fire kombinationer af strømveje i dioden.

Hvis MT₂ er positiv i forhold til MT₁, kan kredsløbet trigges af enten en positiv eller negativ gate-spænding, strømvejene i dioden er da:



Hvis MT₂ er negativ i forhold til MT₁, kan kredsløbet trigges af enten en positiv eller negativ gate-spænding, strømvejene i dioden er da:

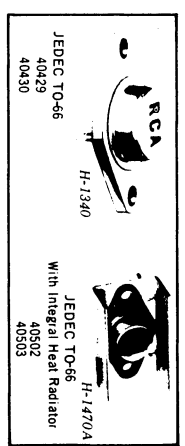


5.3 Datablad over TRIAC



Thyristors
40429 40502
40430 40503

6-AMPERE SILICON TRIAC'S
Medium-Power, Gate-Controlled,
Full-Wave Types



- 720-Watt Control 120-Volt Line Operation 40429
- 1,440-Watt Control 240-Volt Line Operation 40430
- 6-A (rms) On-State Current Ratings
- 100-A Peak Surge Full-Cycle Current Ratings
- Shorted-Emitter Design
- Center Gate Construction

RCA-40429, 40430, 40502, and 40503 are gate-controlled, full-wave, silicon triacs. They are intended for the control of ac loads in applications such as heating controls, motor controls, light dimmers, and power switching systems.

These triacs are designed to switch from an off-state to an on-state condition for either polarity of applied voltage with positive or negative triggering voltages to the gate.

Types 40429 and 40430 are hermetically sealed types having an on-state current rating of 6 amperes at a case temperature of +75°C and repetitive off-state voltage ratings of 200 volts and 400 volts, respectively.

The 40429 and 40430 are also available with integral heat radiators — types 40502 and 40503, respectively.

Maximum Ratings, Absolute-Maximum Values:

For Operation with Sinusoidal Supply Voltage at Frequencies of 50/60 Hz, and with Resistive or Inductive Load

REPEITIVE PEAK OFF-STATE VOLTAGE*, V _{DROFF}	40429 40430 40502 40503
---	-------------------------

Gate Open, For T _J = +65 to +100 °C	200	400	V
--	-----	-----	---

RMS ON-STATE CURRENT, I _{ORMS}	6	6	A
---	---	---	---

For case temperature (T_C) of +75 °C, (40429) (40430) and a conduction angle of 360° (40429) (40430)

For ambient temperatures (T_A) up to +100 °C and a conduction angle of 360° See Fig. 16.

PEAK SURGE (NON-REPEITIVE) ON-STATE CURRENT, I _{PSM}	100	100	A
---	-----	-----	---

For one cycle of applied principal voltage

For more than one full cycle of applied voltage See Fig. 4.

PEAK GATE-TRIGGER CURRENT, I _{GT}	4	4	A
--	---	---	---

For I_{GT} max. For I_{GT} ≤ 4 A (peak)

GATE POWER DISSIPATION, P _{GA}	16	16	W
---	----	----	---

AVERAGE, P _{GA(AV)}	0.2	0.2	W
------------------------------	-----	-----	---

TEMPERATURE RANGE*	-55 to +150 °C	-55 to +100 °C	
--------------------	----------------	----------------	--

Operating (case)

* For either polarity of main terminal 2 voltage (V_{M2}) with reference to main terminal 1.
* For either polarity of gate voltage (V_{GT}) with reference to main terminal 1.

ELECTRICAL CHARACTERISTICS
At Maximum Ratings and at Indicated Case Temperature (T_C) Unless Otherwise Specified
(For Definitions of Terms and Symbols, See Page 6)

CHARACTERISTIC	SYMBOL	LIMITS								UNITS
		40429	40502	40430	40503	40429	40502	40430	40503	
Peak Off-State Current*	I _{DROFF}	0.1	4	0.1	1.2	0.2	4	0.2	1.2	mA
Gate Open At T _J = +100 °C and V _{DROFF} = Max. rated value										
Maximum On-State Voltage*	V _{TM}	1.8	2.25	1.8	2.25	1.8	2.25	1.8	2.25	V
For I _T = 30A (peak) and T _C = +75 °C										
DC Holding Current*	I _{HO}	15	30	15	30	15	30	15	30	mA
Gate Open Initial principal current = 150 mA (DC) At T _C = +75 °C										
For other case temperatures										
Critical Rate of Rise of Commutation Voltage**	dv/dt	3	10	3	10	3	10	3	10	V/μs
For V _D = V _{DROFF} , I _{TRMS} = 5A, commutating di/dt = 3.2 A/ms, and gate unenergized At T _C = +75 °C										
I _{TRMS} and I _A specified by curve A of Fig. 16.										
I _{TRMS} and I _A specified by curve B of Fig. 16.										
Critical Rate of Rise of Off-State Voltage*	dv/dt	30	150	30	150	20	100	20	100	V/μs
For V _D = V _{DROFF} , exponential voltage rise, and gate open At T _C = +100 °C										
DC Gate-Trigger Current**	I _{GT}	15	25	15	25	15	25	15	25	mA
For V _D = 12 volts (DC), R _{GT} = 12 Ω, T _C = +75 °C, and specified triggering mode:										
I-Mode: positive V _{M2} , positive V _{GT}		15	25	15	25	15	25	15	25	
III-Mode: negative V _{M2} , negative V _{GT}		15	25	15	25	15	25	15	25	
III-Mode: positive V _{M2} , negative V _{GT}		25	40	25	40	25	40	25	40	
III-Mode: negative V _{M2} , positive V _{GT}		25	40	25	40	25	40	25	40	
For other case temperatures										
DC Gate-Trigger Voltage**	V _{GT}	1	2.2	1	2.2	1	2.2	1	2.2	V
For V _D = 12 volts (DC) and R _{GT} = 12 Ω At T _C = +75 °C										
For other case temperatures										
For V _D = V _{DROFF} and R _{GT} = 125 Ω At T _C = +100 °C										
Gate-Controlled Turn-On Time: (Delay Time + Rise Time) For V _D = V _{DROFF} and I _{GT} = 80 mA, 0.1-μs rise time, and T _T = 10A (peak) At T _C = +75 °C	t _{gt}	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2	μs
Thermal Resistance: Junction-to-Case (Steady-State), Junction-to-Case (Transient), Junction-to-Ambient	θ _{JC} , θ _{JA}	See Fig. 15, See Fig. 16	See Fig. 15, See Fig. 16	See Fig. 15, See Fig. 16	See Fig. 15, See Fig. 16	See Fig. 15, See Fig. 16	See Fig. 15, See Fig. 16	See Fig. 15, See Fig. 16	See Fig. 15, See Fig. 16	°C/W

* For either polarity of main terminal 2 voltage (V_{M2}) with reference to main terminal 1.
* For either polarity of gate voltage (V_{GT}) with reference to main terminal 1.
* Variants of these devices having dv/dt characteristics selected specifically for inductive loads are available on special order. For additional information, contact your RCA Representative or your RCA Distributor.



Tyristorer 4-lags halvledere

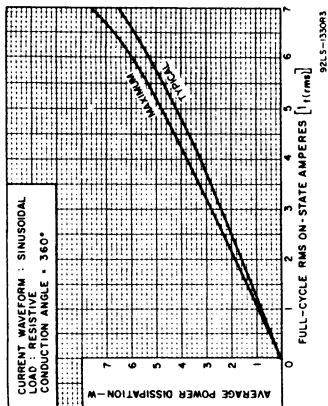


Fig. 2: Power Dissipation vs. On-State Current

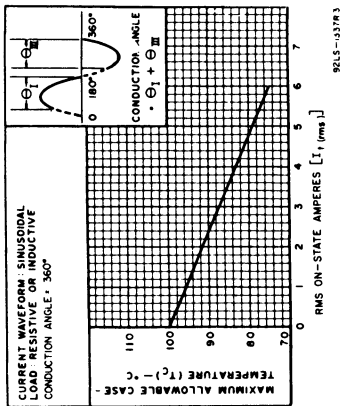


Fig. 3: Allowable Case Temperature vs. On-State Current

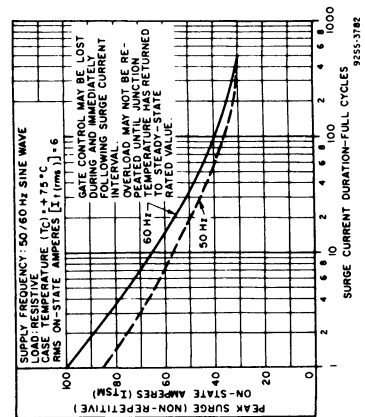


Fig. 4: Peak Surge On-State Current vs. Surge Current Duration

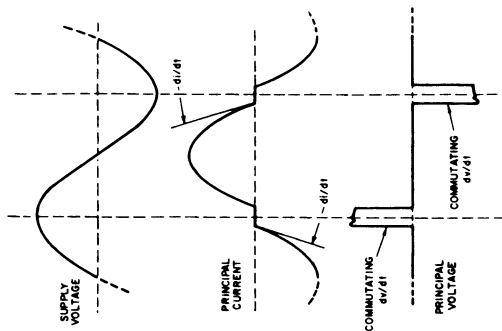


Fig. 5: Oscilloscope Display for Measurement of Gate-Controlled Turn-On Time (t_{gt})

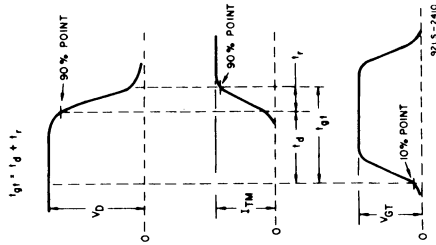


Fig. 6: Oscilloscope Display for Measurement of Gate-Controlled Turn-On Time (t_{gt})

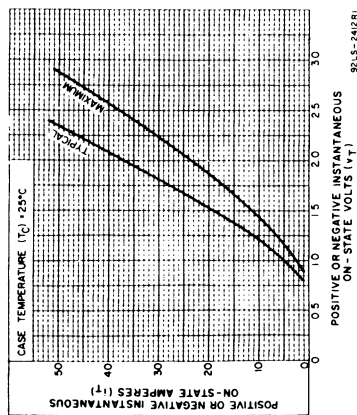


Fig. 7: On-State Current vs. On-State Voltage

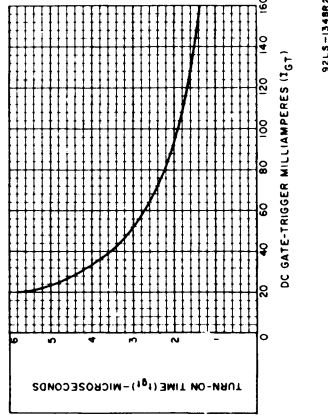


Fig. 9: Typical Turn-On Time vs. Gate-Trigger Current

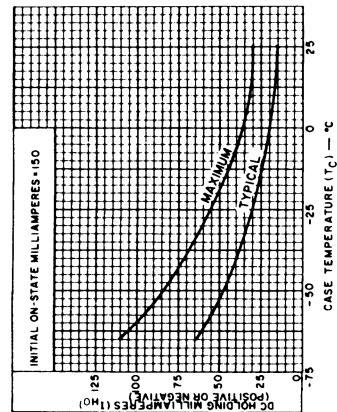


Fig. 8: DC Holding Current vs. Case Temperature

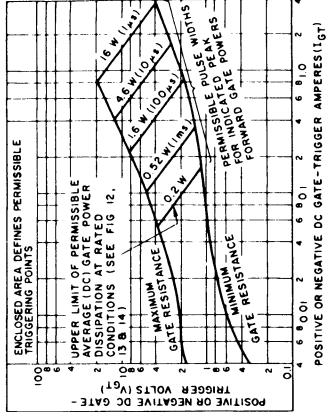


Fig. 10: Gate Pulse Characteristics for All Triggering Modes

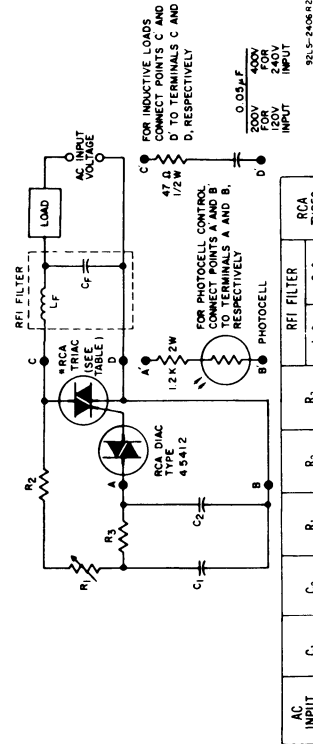


Fig. 11: Typical Phase-Control Circuit for Lamp Dimming, Heat Controls, and Universal Motor Speed Controls

AC INPUT VOLTAGE	C ₁	C ₂	R ₁	R ₂	R ₃	TRIAC	PHOTOCELL	RCA TYPES
120V 60Hz	0.1μF 200V	0.1μF 100V	100KΩ 1/2W	1KΩ 1/2W	15KΩ 1/2W	40429	100μH 200V	40429
240V 50/60Hz	0.05μF 400V	0.1μF 100V	200KΩ 1/2W	7.5KΩ 1/2W	7.5KΩ 1/2W	40502	100μH 400V	40502

*Typical values for lamp dimming circuits.

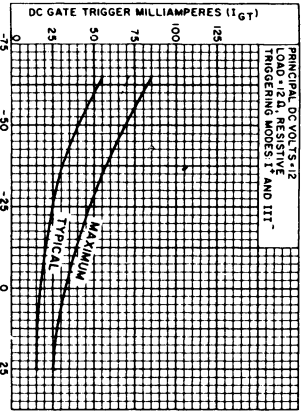


Fig. 12 - DC Gate-Trigger Current (for I+ and III- Triggering Modes) vs. Case Temperature

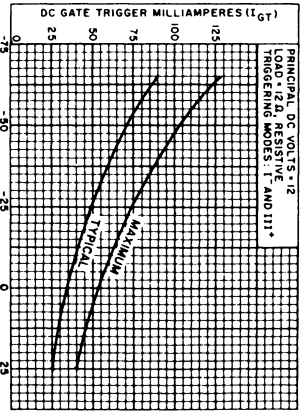


Fig. 13 - DC Gate-Trigger Current (for I- and III+ Triggering Modes) vs. Case Temperature

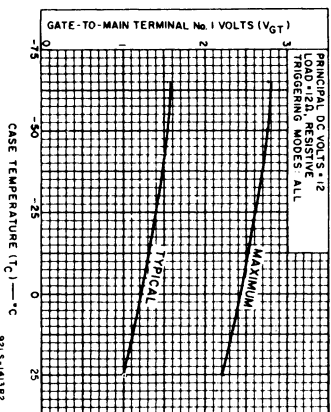


Fig. 14 - DC Gate-Trigger Voltage vs. Case Temperature

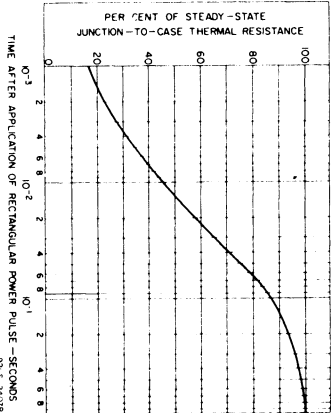


Fig. 15 - Transient Thermal Resistance (Junction-to-Case vs. Time)

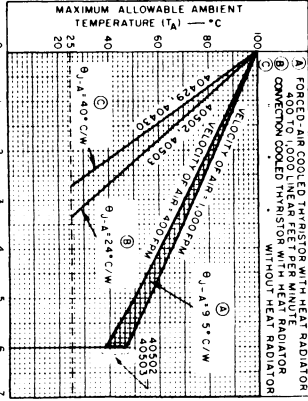
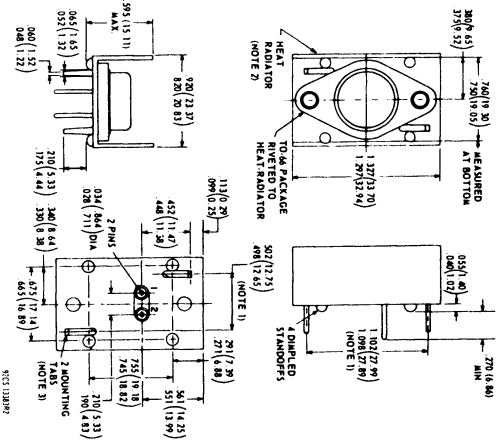


Fig. 16 - Maximum Allowable Ambient Temperature vs. On-State Current

DIMENSIONAL OUTLINE
FOR TYPES 40502 & 40503
JEDEC TO-66 WITH HEAT-RADIATOR



Dimensions in Inches and Millimeters

NOTE: Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated.

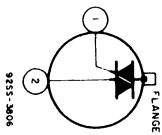
Note 1: Measured at bottom of heat-radiator.

Note 2: 0.035 in. (0.889) C.R.S., tin plated.

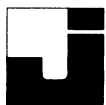
Note 3: Recommended hole size for printed-circuit board is 0.070 in. (1.778) dia.

TERMINAL DIAGRAM

FOR TYPES 40429, 40430, 40502 & 40503



Pin 1 - Gate
Pin 2 - Main Terminal 1
Flange, Case - Main Terminal 2
Case, Flange, Heat Radiator (40502, 40503) - Main Terminal 2



6. TYPE- OG SYMBOLOVERSIGT

TRIGGER DIAC		
DIAC (BIDIRECTIONAL DIODE THYRISTOR)		
SUS (SILICON UNILATERAL SWITCH)		
SBS (SILICON BILATERAL SWITCH)		
LAS (LIGHT ACTIVATED SWITCH) LIGHT ACTIVATED REVERSE BLOCKING DIODE THYRISTOR	*	
LASCR (LIGHT ACTIVATED SEMICONDUCTOR CONTROLLED RECTIFIER) LIGHT ACTIVATED REVERSE BLOCKING TRIODE THYRISTOR	*	
TRIAC (BIDIRECTIONAL TRIODE THYRISTOR)		
SCR (SEMICONDUCTOR CONTROLLED RECTIFIER) REVERSE BLOCKING TRIODE THYRISTOR		
SCS (SILICON CONTROLLED SWITCH), REVERSE BLOCKING TETRODE THYRISTOR		
LASCS (LIGHT ACTIVATED SILICON CONTROLLED SWITCH), LIGHT ACTIVATED REVERSE BLOCKING TETRODE THYRISTOR.	*	

A = ANODE E = EMITTER
B = BASE G = GATE
C = COLLECTOR K = CATHODE

NOTE: CIRCLES AROUND GRAPHICAL SYMBOLS ARE OPTIONAL EXCEPT WHERE SHOWN *. IN THESE CASES CIRCLE DENOTES AN ENVELOPE THAT EITHER ENCLOSES A NON-ACCESSIBLE TERMINAL OR TIES A DESIGNATOR INTO SYMBOL.



7. KREDSLØBSEKSEMPLER

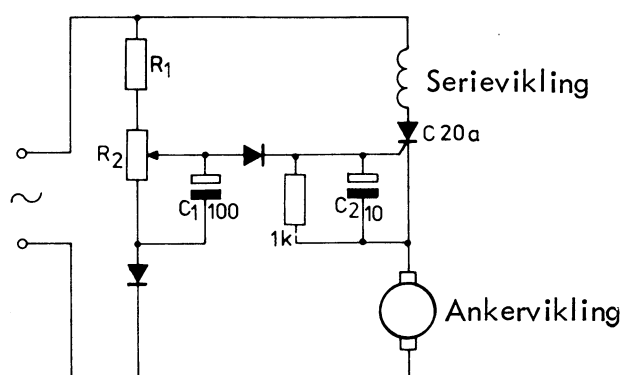
7.1 Hastighedsregulering af universalmotorer med SCR

Seriemotoren eller universalmotoren anvendes til mange formål, hvor det er afgørende betydning, at motoren har et kraftigt drejningsmoment under igangsætning og ved lave hastigheder.

Hastighedskontrol opnås ved at variere den vinkel, ved hvilken den styrede ensretter, der er forbundet i serie med motoren, triggeres ON.

Middelværdien af den afgivne spænding vil være afhængig af, hvor lang tid der går fra det øjeblik, hvor anoden bliver positiv i forhold til katoden til det tidspunkt, hvor SCR'en tændes.

Er denne tid kort, vil udgangsspændingen blive høj, medens en forsinkelse af styreimpulsen vil medføre en lavere udgangsspænding.



7.2 Virkemåde

Under den negative halvbølge afledes C_1 gennem potentiometeret.

Under den positive halvbølge oplades C_1 gennem R_1 og R_2 med en sinusformet strøm, som bevirker, at der opstår en cosinusformet spænding over C_1 .

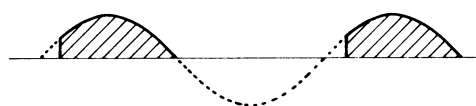
Hvis motoren står stille, vil der ikke blive induceret nogen spænding i ankerviklingen, og gatestrøm vil tænde SCR'en straks i begyndelsen af en positiv halvbølge, hvorved spændingen kobles til motoren, der starter op.

Efterhånden som den forvalgte hastighed nærmes, vil den mod-elektromotoriske spænding, der induceres i ankerviklingen, stige. Denne vil være positiv på katodesiden og vil bevirke, at ensretteren for at blive trigget skal have tilført en større spænding, hvilket vil kræve en længere opladningstid af C_1 , hvorved trigkertidspunktet forsinkes. Trigning vil derfor finde sted ved en større fasevinkel.

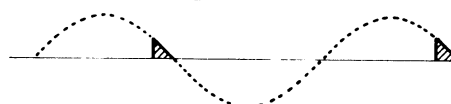
Derved tilføres der mindre energi til motoren, som derfor retarderer.

Herved vil den i ankerviklingen inducerede modspænding mindskes, således at energien og dermed motorens hastighed vil stige igen, indtil der opnås balance med den forudindstillede referencehastighed.

Stor hastighed



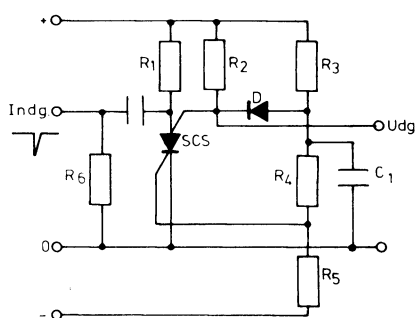
Lille hastighed





7.3 Monostabil multivibrator med SCS

Diagrammet viser en monostabil kobling med kun en SCS.



I hviletilstanden vil SCS'en, som det fremgår af det følgende, være trigget til ledende tilstand.

Da anoden og dermed også G_A har et lavt positivt potential, er dioden D ledende og udgangsspændingen svagt positiv, medens G_K har negativ potential i forhold til katoden.

Tilføjer man indgangsterminalen en negativ impuls, vil SCS'ens anode kortvarigt blive negativ, hvorved der indtræder blokering, og så snart impulsen er ophørt, antager anoden og udgangsspændingen samme spænding som forsyningsspændingen, hvorved dioden D forspændes i spærreretningen.

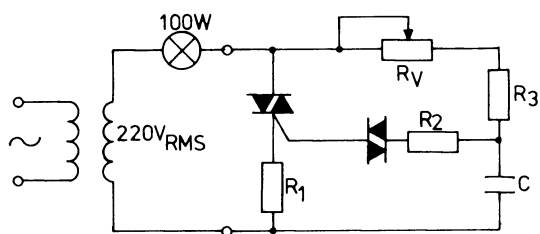
Nu påbegyndes en opladning af kondensatoren C_1 , hvorfor spændingen over denne samt spændingen på modstandene R_4 og R_5 's fællespunkt og dermed G_K -spændingen vokser.

Når den sidstnævnte bliver positiv, trigges SCS'en atter til ledende tilstand.

Udgangsimpulsens længde bestemmes af tidskonstanten bestemt af C_1 multipliceret med R_3 parallelkoblet med $R_4 + R_5$.

7.4 Fuld periode fasekontrol med TRIAC og DIAC

I såvel forsyningsspændingens positive som negative halvperioder er TRIAC'en i stand til at blive trigget til ledende tilstand ved, at den bliver påtrykt passende signaler fra triggerkredsløbet.



Når R_V er maksimum, får TRIAC'en ikke tilført triggersignaler, idet spændingen over C er for lav.

Gøres R_V mindre, bliver spændingen V_C så høj, at den overskrider DIAC'ens gennembrudsspænding, vil der blive tilført positive og negative triggersignaler til gaten på TRIAC'en.

Disse signaler fører TRIAC'en over i den ledende tilstand henholdsvis i den positive og negative halvperiode af forsyningsspændingen. Belastningsstrømmen løber i en del af begge halvperioder.

Styringen af fasevinklen, forsinkelsesvinklen, mellem forsyningsspændingen og triggersignalerne muliggør, at vi kan variere belastningsstrømmen mellem 0 og en maksimalværdi. Maksimumværdien optræder ved en fasevinkel på 0° , men i TRIAC'en løber belastningsstrømmen gennem såvel forsyningsspændingens positive som negative halvperiode.

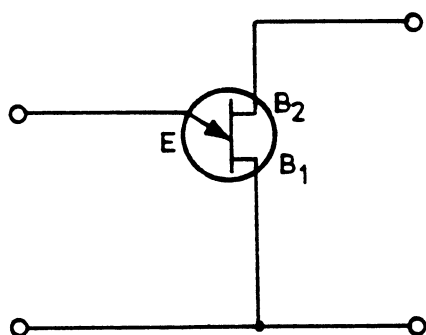
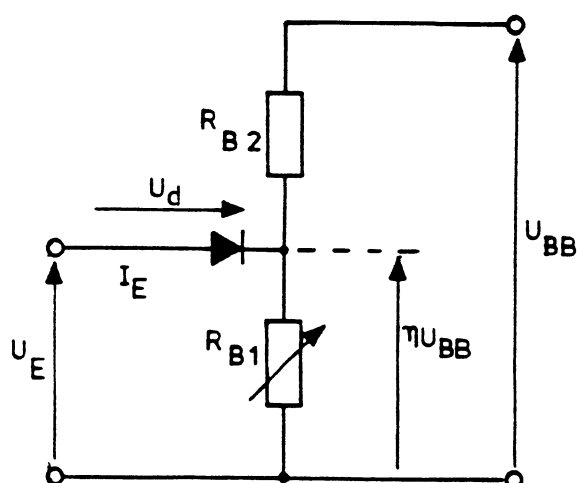


Unijunction-transistor

Dens data og egenskaber gør den velegnet i oscillator-, timing-, trigger- og bistabile kredsløb, hvor en UJT ofte kan erstatte to almindelige transistorer.

En UJT er en 3-terminals halvleder, hvis egenskab i det væsentligste består i, at den har negativ modstandskarakteristik mellem emitter og basis 1, når en positiv forspænding tilsluttes mellem basis 1 og basis 2.

Symbol

Ækvivalentdiagram

Virkemåde

Basis 1 er normalt jordet, og en positiv spænding U_{BB} er tilsluttet basis 2.

Når der ikke løber nogen emitterstrøm, vil de to indre basismodstande, tilsammen 5 til 10 kohm, udgøre en simpel spændingsdeler, og emitterspændingen vil være en vis del (η) af U_{BB} . η = græsk eta.

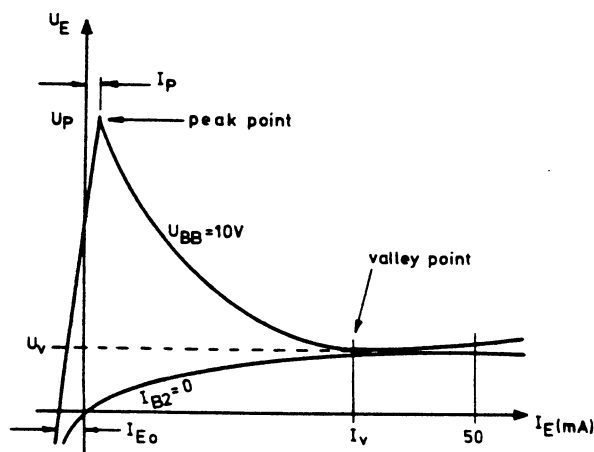
Hvis U_E er mindre end ηU_{BB} , vil emitterdioden være forspændt i spærreretningen, og der vil kun være tale om en yderst ringe emitterlækstrøm.

Er U_E derimod større end ηU_{BB} , vil dioden lukke op, og der vil kunne løbe emitterstrøm, som imidlertid bevirker, at R_{B1} bliver mindre, hvorved I_E stiger yderligere, mens emitterspændingen U_E falder.

Når stigende strøm bevirker faldende spænding, fås en negativ modstandskarakteristik.

Emitterkarakteristik for en UJT

OFF-område Negativt modstandsområde Mætningsområde



Området til venstre for I_p kaldes OFF-området, og mellem I_p og I_v haves det negative modstandsområde og til højre for I_v det område, hvori transistoren siges at være mættet.

 U_p

Emitterspændingen U_p , ved hvilken UJT'en trigges, er bestemt af følgende:

$$U_p = \eta U_{BB} + U_D$$

Diodespændingen U_D er ved 25°C typisk 0,4 volt og η er konstant for en UJT, men forskellig selv inden for samme typenummer.

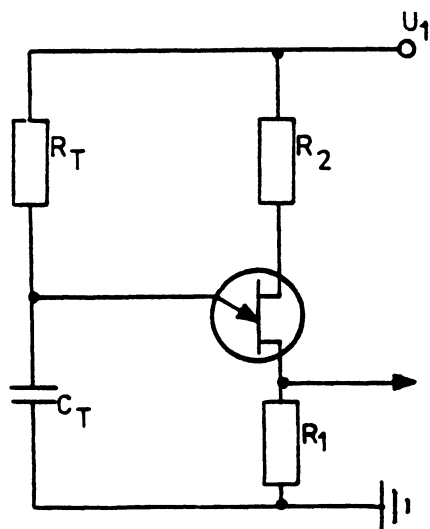
For 2N2646 opgives η til at ligge mellem 0,56 og 0,75, dvs. for en batterispænding U_{BB} på 24 volt, vil U_p ligge mellem 13,85 og 18,4 volt.

Da η ikke ændrer sig med hverken temperatur eller ælde, vil trigger-spændingen U_p være særdeles veldefineret, hvorfor en UJT er selvskrevet til anvendelse i præcise "timere" og som indgangstriggere for styrede ensrettere.

RELAXATIONSOSCILLATOR

Kredsløb

Den mest anvendte UJT-kobling er oscillatoropstillingen.

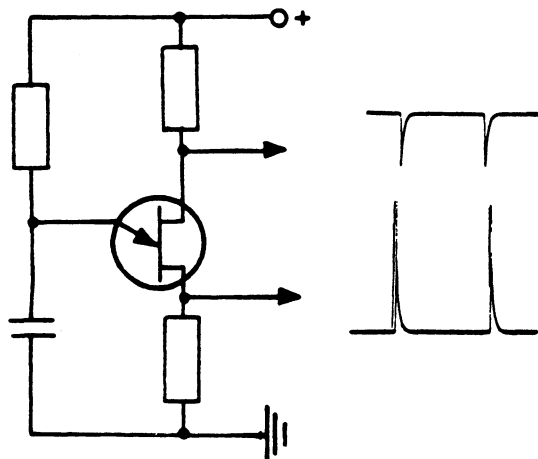
 U_E  U_{B1} 

Den finder hovedsagelig anvendelse i tidskredse, impulsgeneratorer, savtandgeneratorer og som triggerkredse for SCR'er.

Virkemåde

Når U_1 tilsluttes, vil kondensatoren C_T lade sig op gennem R_T , og når U_E er kommet op på trigger-spændingen U_p , vil emitterdioden blive ledende, og den dynamiske modstand mellem emitter og basis 1 vil falde til en lav værdi, hvorved C_T aflades, indtil U_E er faldet til ca. 2 volt, hvorved emitterdioden lukker. Herefter vil C_T påny blive opladet osv.

Hver gang U_E når op på trigger-spændingen, opstår der en strømimpuls i både emitter, basis 1 og basis 2 kredsene. Opstillingen kan derfor anvendes som en impulsgenerator for såvel negative som positive impulser:





Stabilitet

Oscillatorens frekvensstabilitet er særdeles god, bedre end 1% inden for temperaturintervallet -20 til $+100^{\circ}\text{C}$, og ved konstant omgivelsetemperatur er stabiliteten bedre end 0,01%, dvs. at hvis en oscillator svinger med en frekvens på 10 kHz, vil den være bedre end ± 1 Hz.

Som følge af, at C oplades exponentielt beregnes opladetiden:

$$T = R_E \cdot C \cdot \ln \frac{1}{1 - \eta}$$

Svingningsbetingelser

Kondensatoren skal kunne oplades til $U_{\text{peak point}}$ samtidig med, at

$I_{\text{peak point}}$ kan løbe igennem R_T .

Ellers tænder UJT'en aldrig.

Ref. arbejdslinien a.

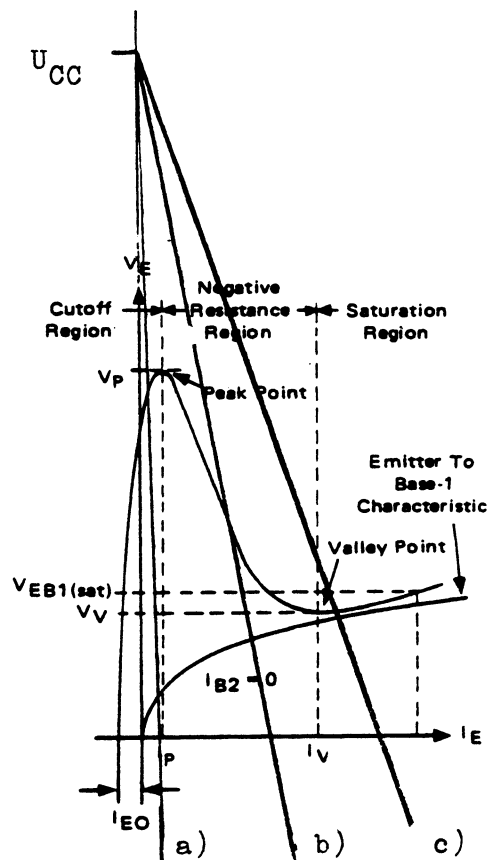
Er UJT'en tændt, skal R_T være så stor, at UJT'en bliver i det negative område, ellers vil UJT'en være permanent ledende, ref. linie c. Linie b er den korrekte arbejdslinie, hvor UJT'en forbliver i det negative område.

Beregning R_T

$$R_{T \text{ max}} = \frac{U_{CC} - U_p}{I_p}$$

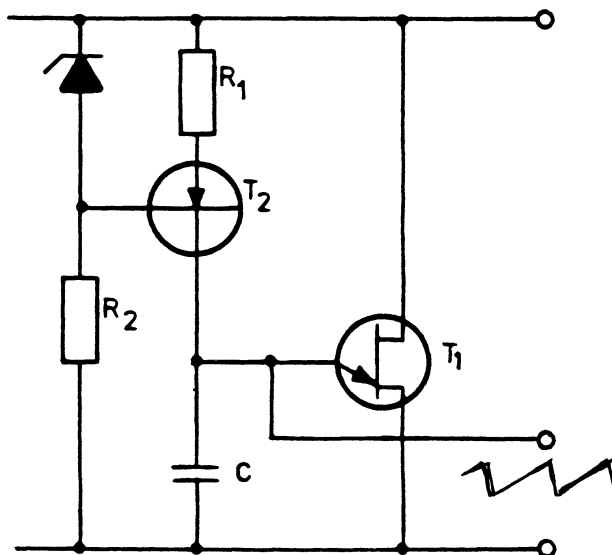
$$R_{T \text{ min}} = \frac{U_{CC} - U_v}{I_v}$$

De nævnte størrelser findes i datablad. R_T vælges mellem de beregnede ydergrænser.



Savtandgenerator

Emitterspændingens kurveform kan ændres, så kredsløbet kan anvendes som savtandgenerator ved at udskifte R_T med en konstantstrømgenerator.



Strømmen, som T_2 afgiver, bestemmes af R_1 .

Strømmens størrelse skal have en værdi, der er mindre end I_v .

Hvis strømmen er større end I_v , vil T_1 konstant være mættet.





LYSFØLERE

Fotomodstand

En lysfølsom modstand, LDR, er en modstand, der ændrer modstandsværdi alt efter, hvor kraftig komponenten bliver belyst.

Ethvert halvledermateriale vil udvise denne evne ved belysning med den rette bølgelængde.

Fotomodstandene har en følsomhedskurve, der ligner øjets, men afhængig af fremstillingsmaterialet ændrer følsomhedsområdet sig. En del materialer har endog følsomhedsområder, der ligger uden for det synlige lys.

I datablade opgives bølgelængde ofte i Å, Ångström, hvor $1 \text{ Å} = 0,1 \text{ nm}$.

	Anvendelsesområdet	Toppunkt
CdS Cadmium Svovl	400 til 800 nm	515 til 550 nm
CdSe Cadmium Selen	580 til 750 nm	675 til 735 nm
PbS Bly Svovl	500 til 3.000 nm	2.000 nm
PbTe Bly Tellum	600 til 4.500 nm	2.200 nm
PbSe Bly Selen	700 til 5.800 nm	4.000 nm
Si Silicium	450 til 1.100 nm	850 nm
Ge Germanium	550 til 1.800 nm	1.540 nm
InSb Indium Antimon	600 til 7.000 nm	5.500 nm
InAs Indium Arsen	1.000 til 4.000 nm	3.500 nm

LIGHT DEPENDENT RESISTORS

The light dependent resistors are virtually small photoconductive cells, provided with two tinned copper connecting leads.

The relationship between resistance value and illumination can be expressed with good approximation by the formula:

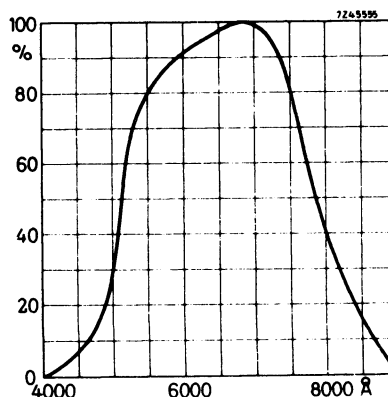
$$R = AL^{-\alpha}$$

where R = resistance value in Ω

L = illumination in lux

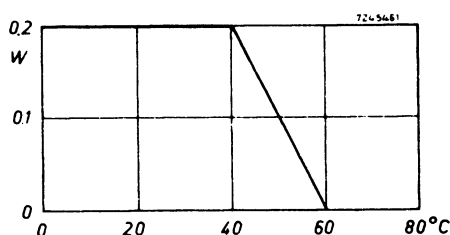
A and α are constants

Spectral response characteristic of an LDR



Electrical performance

dark value	> 10 M Ω
light value	75-300 Ω (measured at 1000 lux)
recovery rate	> 200 k Ω s
permissible voltage	150 V _{peak}
capacitance	< 6 pF





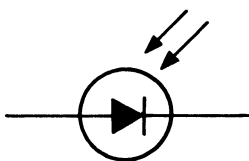
Fotodiode

En fotodiode er en PN-overgang, der er forspændt i spærre-
retningen. Ved belysning med
den rette bølgelængde vil læk-
strømmen i dioden ændre sig.

Ved større lysstyrke stiger læk-
strømmen i dioden.

Lækstrømmen i fuldstændig mør-
ke er omkring nogle få nA. Ved
normal stuebelysning er strømmen
omkring 10 μA for et 5 mm²
stort aktivt areal.

Diagramsymbol



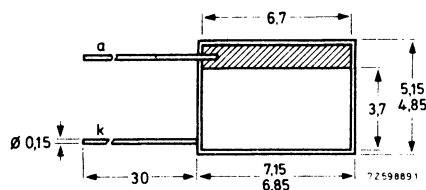
SILICON PLANAR PHOTODIODE

Unencapsulated photodiode for general purpose applications.

QUICK REFERENCE DATA			
Reverse voltage	V_R	max.	12 V
Light sensitivity $V_R = 10 \text{ V}; E = 1000 \text{ lx}$	N	typ.	150 nA/lx
Dark reverse current at $V_R = 10 \text{ V}$	I_d	<	5 μA
Wavelength at peak response	λ_{pk}	typ.	800 nm

MECHANICAL DATA

Dimensions in mm



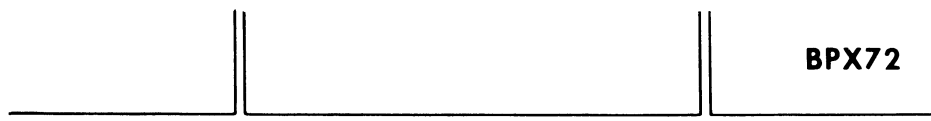
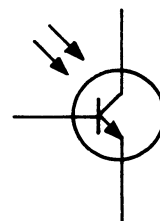
Slice thickness 0,27 mm



Fototransistor

En fototransistor virker på samme måde som en fotodiode. I transistoren anvendes lækstrømmen i basis-kollektorspændingen til styring af basis-emitterstrømmen, hvorved strømændringen i kollektoren bliver mange gange større.

Fototransistoren er langsommere end fotodioden.

**BPX72**

PHOTOTRANSISTOR

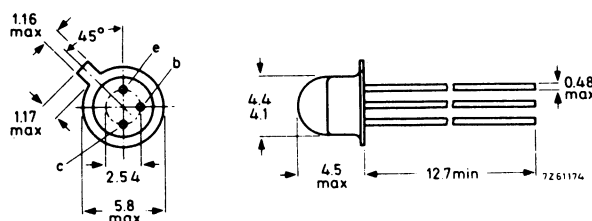
General purpose n-p-n silicon phototransistor with a plastic lens.

QUICK REFERENCE DATA				
Collector-emitter voltage (open base)	V_{CEO}	max.	30	V
Collector current (d.c.)	I_C	max.	25	mA
Junction temperature	T_j	max.	125	°C
Collector dark current (open base) $V_{CE} = 20$ V	I_d	<	100	nA
Collector light current (open base) $V_{CE} = 5$ V; $E = 1000$ lx ($4,75$ mW/cm ²)	I_l		500 to 3000	μA
	BPX72C I_l		500 to 1200	μA
	BPX72D I_l		850 to 2000	μA
	BPX72E I_l		1400 to 3000	μA
Wavelength at peak response	λ_{pk}	typ.	800	nm
Angle between half-sensitivity directions	$\alpha_{50\%}$	typ.	120°	

MECHANICAL DATA

Dimensions in mm

SOT-70



Max. lead diameter is guaranteed only for 12.7 mm



LYSGIVERE

LED

En lysemitterende diode er en diode, der udsender lysenergi, når den forspændes i lederetningen.

Lysets farve bestemmes af materialet, som dioden er fremstillet af.

En del dioder udsender energi i det infrarøde område, der ikke er synligt.

Strømmen til dioderne, når de skal lyse, er omkring 20 mA. Spændingen over dioderne er mellem 1 og 2 V.

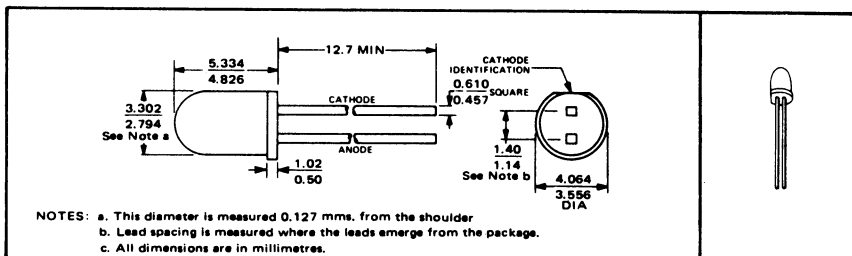
TYPE TIL209

GALLIUM ARSENIDE PHOSPHIDE VISIBLE-LIGHT SOURCE

mechanical data

DESIGNED TO EMIT VISIBLE RED LIGHT WHEN FORWARD BIASED

This device has a red molded filled-epoxy body.



absolute maximum ratings

Reverse Voltage at 25°C Free-Air Temperature	3 V
Continuous Forward Current at (or below) 25°C Free-Air Temperature (See Note 1)	40 mA
Storage Temperature Range	-40°C to 80°C
Lead Temperature 1/16 Inch from Case for 5 Seconds	230°C

operating characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_V Luminous Intensity (See Note 2)	$I_F = 20 \text{ mA}$	500			μcd
λ_{peak} Wavelength at Peak Emission	$I_F = 20 \text{ mA}$	6300	6500	6700	\AA
V_F Static Forward Voltage	$I_F = 20 \text{ mA}$		1.6	2	V
I_R Static Reverse Current	$V_R = 3 \text{ V}$		0.1		μA

NOTES: 1. Derate linearly to 70°C free-air temperature at the rate of 0.89 mA/°C.
2. Luminous Intensity is measured with a solar cell and filter combination which approximates the CIE (International Commission on Illumination) eye-response curve.

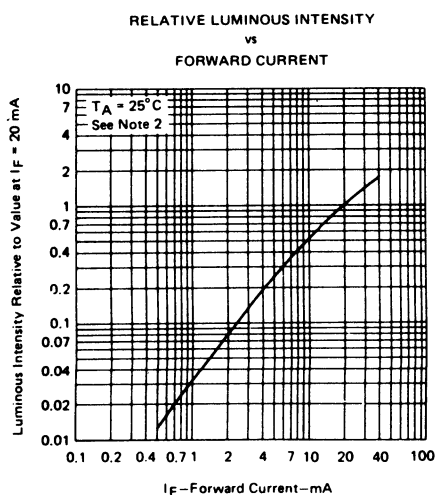


FIGURE 3

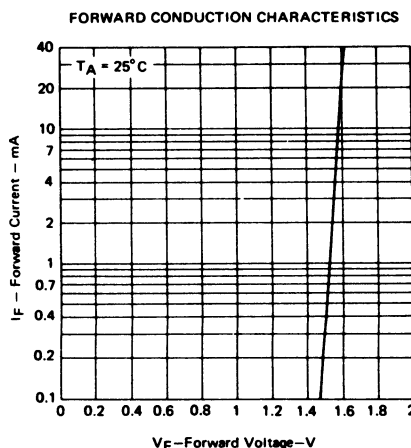


FIGURE 4

NOTE 2: Luminous Intensity is measured with a solar cell and filter combination which approximates the CIE (International Commission on Illumination) eye-response curve.



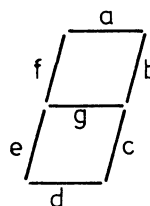
Syv segment display

Et syv segment display er et numerisk display, der kan vise cifrene fra 0 til 9.

Display'et er opbygget af 7 streger, der danner et 8'tal med firkantede hjørner.

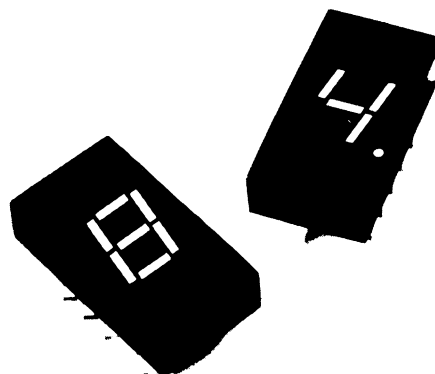
Hver streg kan bringes til at lyse hver for sig.

Stregerne benævnes ofte med bogstaver.



Features

- COMMON CATHODE
- RIGHT HAND DP
- EXCELLENT CHARACTER APPEARANCE
 - Continuous Uniform Segments
 - Wide Viewing Angle
 - High Contrast
- IC COMPATIBLE
 - 1.7V per Segment
- STANDARD 0.3" DIP LEAD CONFIGURATION
 - PC Board or Standard Socket Mountable
- CATEGORIZED FOR LUMINOUS INTENSITY
 - Assures Uniformity of Light Output from Unit to Unit within a Single Category

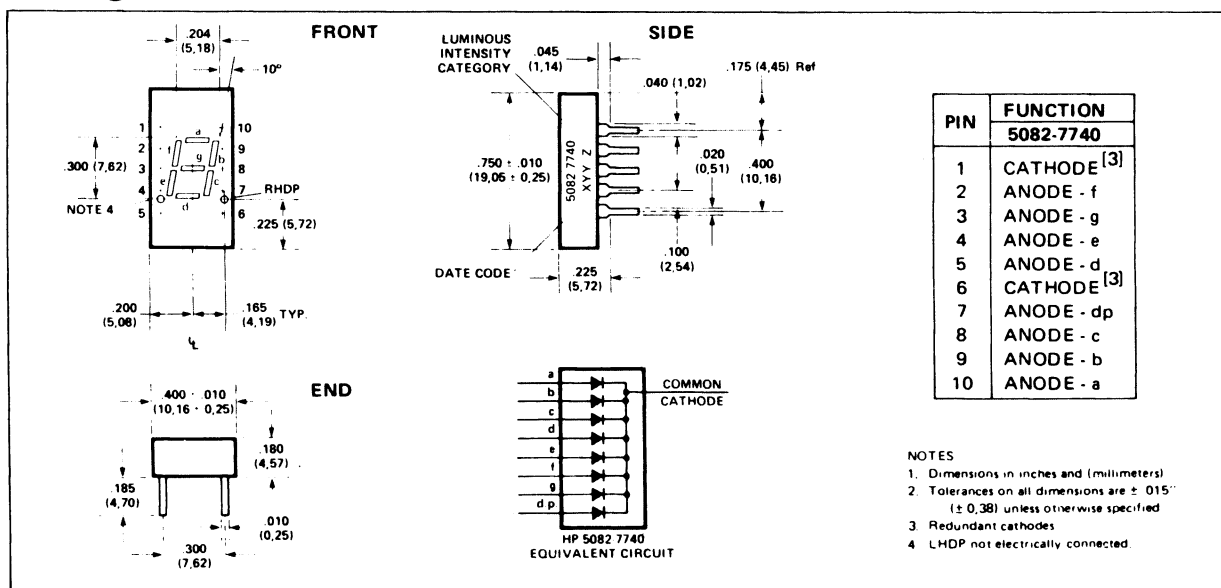


Description

The HP 5082-7740 is a common cathode LED numeric display with a right hand decimal point. The large 0.3" high character size generates a bright, continuously uniform 7 segment display. Designed for viewing distances of up to 10 feet, this single digit display has been human engineered to provide a high contrast ratio and wide viewing angle.

The 5082-7740 utilizes a standard 0.3" dual-in-line package configuration that allows for quick mounting on PC boards or in standard IC sockets. Requiring a forward voltage of only 1.7V, the display is inherently IC compatible allowing for easy integration into electronic calculators, credit card verifiers, TVs, radios, and digital clocks.

Package Dimensions





Absolute Maximum Ratings

Power Dissipation $T_A = 25^\circ\text{C}$	400mW
Operating Temperature Range	-20°C to $+85^\circ\text{C}$
Storage Temperature Range	-20°C to $+85^\circ\text{C}$
Average Forward Current/Segment or Decimal Pt. $T_A = 25^\circ\text{C}$ ^[1]	25mA
Peak Forward Current/Segment or Decimal Pt. $T_A = 25^\circ\text{C}$ (Pulse Duration $\leq 500\mu\text{s}$)	150mA
Reverse Voltage/Segment or Decimal Pt.	6V
Max. Solder Temperature 1/16" Below Seating Plane ($t \leq 5$ sec.) ^[2]	230°C

NOTES: 1. Derate from 25°C at .25mA/°C per segment or D.P. 2. Clean only in Freon TF, Isopropanol, or water.

Electrical/Optical Characteristics at $T_A = 25^\circ\text{C}$

Description	Symbol	Test Condition	Min.	Typ.	Max.	Units
Luminous Intensity/Segment ^[1]	I_V AVE	$I_{P\text{PEAK}} = 100\text{mA}$ 10% Duty Cycle	50	150		μcd
		$I_F = 20\text{mA DC}$		250		
Peak Wavelength	λ_{PEAK}			655		nm
Forward Voltage/Segment or D.P.	V_F	$I_F = 100\text{mA}$		1.6	2.3	V
Reverse Current/Segment or D.P.	I_R	$V_R = 6\text{V}$			100	μA
Rise and Fall Time ^[2]	t_r, t_f			10		ns
Temperature Coefficient of Forward Voltage	$\Delta V_F / ^\circ\text{C}$			-2.0		mV/°C
Temperature Coefficient of Luminous Intensity	$\Delta I_V / ^\circ\text{C}$			-1.0		%/°C

NOTES: 1. The digits are categorized for luminous intensity such that the variation from digit to digit within a category is not discernible to the eye. Intensity categories are designated by a letter located on the right hand side of the package.
2. Time for a 10%-90% change of light intensity for step change in current.

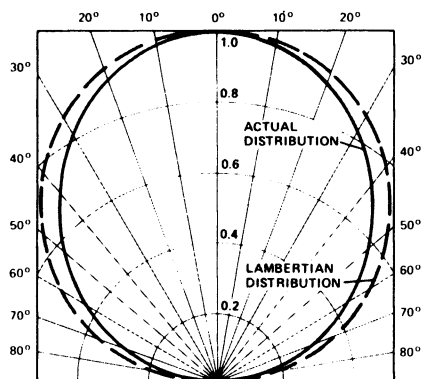


Figure 1. Normalized Angular Distribution of Luminous Intensity.

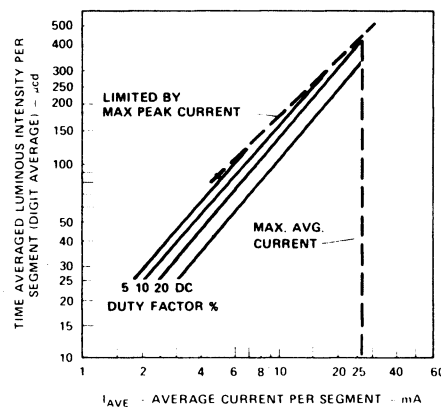


Figure 2. Typical Time Averaged Luminous Intensity per Segment versus Average Current.

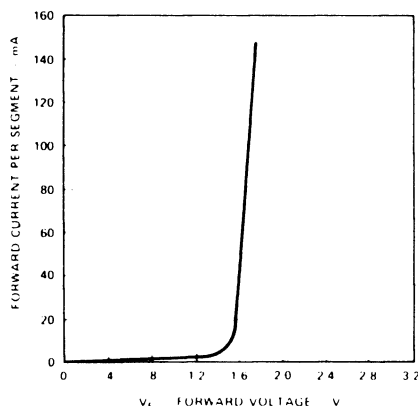


Figure 3. Forward Current versus Forward Voltage.

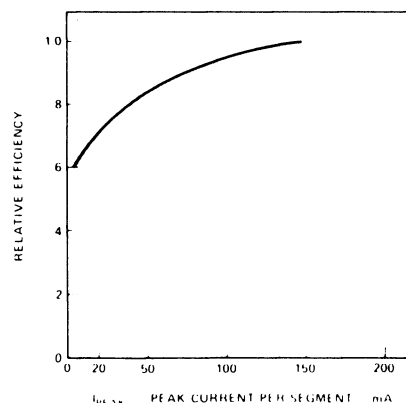


Figure 4. Relative Efficiency (Luminous Intensity per Unit Current) versus Peak Current per Segment.

For more information, call your local HP Sales Office or East (201) 265-5000 • Midwest (312) 677-0400 • South (404) 436-6181 • West (213) 877-1282. Or, write: Hewlett-Packard, 1501 Page Mill Road, Palo Alto, California 94304. In Europe, Post Office Box 85, CH-1217 Meyrin 2, Geneva, Switzerland. In Japan, YHP, 1-59-1, Yoyogi, Shibuya-Ku, Tokyo, 151.

Printed in U.S.A.



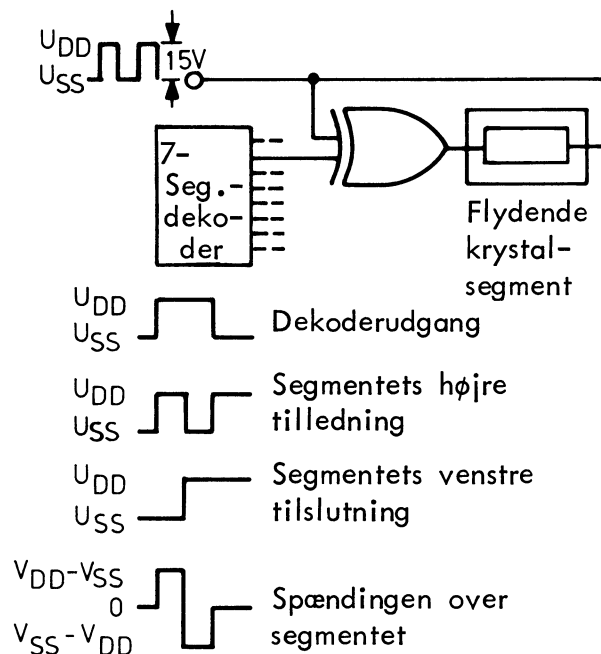
L.C.D.

I flydende krystaller anvendes den egenskab, at nogle organiske materialer ændrer deres optiske gennemskinnelighed ved påvirkning af et elektrisk felt.

Hver streng i et krystal-display er opbygget af to glasplader, hvorimellem der er et tyndt organisk materiale, som ved normalt arbejdstemperatur, 0 til 70 C°, er halvt flydende.

Materialet mellem glaspladerne kan være polariseret på forskellig måde alt efter display-typen.

Nogle er polariseret således, at lys ikke kan trænge igennem, så længe der ingen spænding er påtrykt. Andre typer er omvendt polariseret således, at de lader lys passere, når der ingen spænding er påtrykt.



For at øge krystallets levetid påtrykkes det en vekselspænding, når polariteten skal ændres. Denne vekselspænding over krystallet frembringes ofte ved hjælp af en EX-OR-kreds.

Retningsgivende data	Dynamisk spredning	Felteffekt
Talhøjde	ca. 20 mm	20 mm
Driftspænding	15...30 V	7 V
Maks. strøm (syv segment)	20 μ A	0,5...2 μ A
Maks. effekt	600 μ W	3...30 μ W
Stigetid	ca. 30 ms	ca. 50 ms
Faldetid	ca. 80 ms	ca. 100 ms
Kontrast	ca. 15:1	ca. 30:1
Temperaturområde i drift	0...70 C°	0...70 C°
Lagret	-20...80 C°	-20...70 C°
Levetid incl. lagertid	3 år	5 år

Levetiden skal tages med et stort forbehold, idet der sker en meget stor udvikling på dette område,

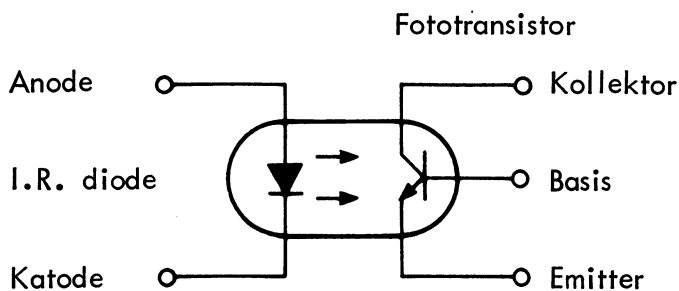
7 til 10 års levetid er på nuværende tidspunkt ikke urealistisk.



OPTOKOBLERE

Opbygning

En optokobler består af en gallium arsenide diode, der kan udsende infrarød stråling og en silicium fototransistor. Komponenterne er optisk koblet, men elektrisk isoleret fra hinanden.



Fordele

Optokoblere har følgende fordele:

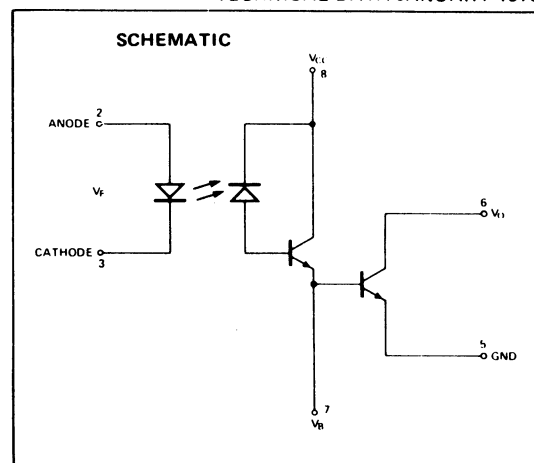
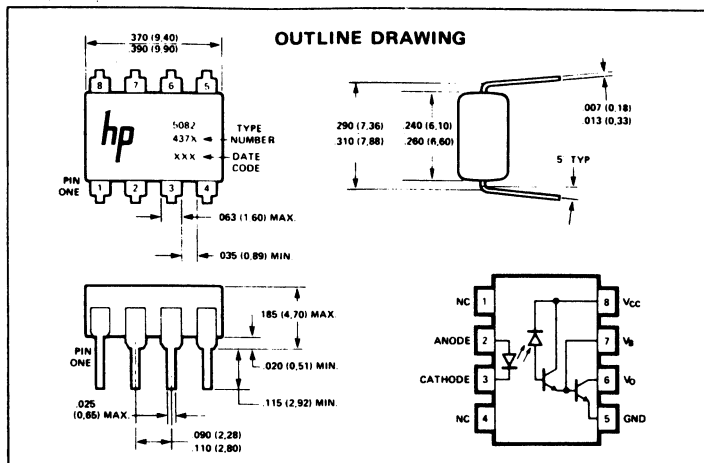
- God isolation $10^{11}\Omega$ parallel med 1 pF ved $\pm 1,5$ kV.
- God linearitet mellem ind- og udgangsstrøm.
- Kompatibel med transistor og logikkredse.
- Stor hastighed.
- Lang levetid.
- Modstandsdygtig overfor vibrationer.

HEWLETT **hp** PACKARD
COMPONENTS

**LOW INPUT CURRENT,
HIGH GAIN OPTICALLY
COUPLED ISOLATORS**

**5082-4370
5082-4371**

TECHNICAL DATA JANUARY 1975

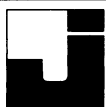


Features

- High Current Transfer Ratio – 800% Typical
- Low Input Current Requirement – 0.5 mA
- TTL Compatible Output – 0.1V V_{OL}
- 2500 Vdc Insulation Voltage
- High Common Mode Rejection – 500V/ μ s
- Performance Guaranteed Over Temperature 0°C to 70°C
- Base Access Allows Gain Bandwidth Adjustment
- High Output Current – 60mA
- DC to 1M bit/s Operation
- Recognized Under the Component Recognition Program of Underwriters Laboratories, Inc.

Applications

- Ground Isolate Most Logic Families – TTL/TTL, CMOS/TTL, CMOS/CMOS, LTTL/TTL, CMOS/LTTL
- Low Input Current Line Receiver – Long Line or Partyline
- EIA RS-232C Line Receiver with 2500V, 60Hz Common Mode Rejection
- Telephone Ring Detector
- 117 V ac Line Voltage Status Indicator – Low Input Power Dissipation
- Low Power Systems – Ground Isolation



Description

The 5082-4370 series isolators use a Light Emitting Diode and an integrated high gain photon detector to provide 2500V dc electrical insulation, 500V/ μ s common mode transient immunity and extremely high current transfer ratio between input and output. Separate pins for the photodiode and output stage result in TTL compatible saturation voltages and high speed operation. Where desired the V_{CC} and V_O terminals may be tied together to achieve conventional photodarlington operation. A base access terminal allows a gain bandwidth adjustment to be made.

The 5082-4371 is suitable for use in CMOS, LTTL or other low power applications. A 400% minimum current transfer ratio is guaranteed over a 0-70°C operating range for only 0.5mA of LED current.

The 5082-4370 is suitable for use mainly in TTL applications. Current Transfer Ratio is 300% minimum over 0-70°C for an LED current of 1.6mA [1 TTL unit load (U.L.)]. A 300% minimum CTR enables operation with 1 U.L. in, 1 U.L. out with a 2.2 k Ω pull-up resistor.

Absolute Maximum Ratings

Storage Temperature	−55°C to +125°C
Operating Temperature	0°C to +70°C
Lead Solder Temperature	260°C for 10 Sec (1/16" below seating plane)
Average Input Current — I_F	20mA [1]
Peak Input Current — I_F	40mA (50% duty cycle, 1ms pulse width)
Peak Transient Input Current — I_F	1.0A ($\leq 1\mu$ sec pulse width, 300pps)
Reverse Input Voltage — V_R	5V
Input Power Dissipation	35mW [2]
Output Current — I_O (Pin 6)	60mA [3]
Emitter-Base Reverse Voltage (Pin 5-7)	5V
Supply and Output Voltage — V_{CC} (Pin 8-5), V_O (Pin 6-5)	5082-4370 −0.5 to 7V 5082-4371 −0.5 to 18V
Output Power Dissipation	100mW [4]

See notes, page 2.

Electrical Specifications

OVER RECOMMENDED TEMPERATURE ($T_A = 0^\circ\text{C}$ to 70°C), UNLESS OTHERWISE SPECIFIED

Parameter	Sym.	Device 5082-	Min.	Typ.*	Max.	Units	Test Conditions	Fig.	Note
Current Transfer Ratio	CTR	4371	400	800		%	$I_F = 0.5\text{mA}$, $V_O = 0.4\text{V}$, $V_{CC} = 4.5\text{V}$		5,6
		500		900			$I_F = 1.6\text{mA}$, $V_O = 0.4\text{V}$, $V_{CC} = 4.5\text{V}$		
		4370	300	600		%	$I_F = 1.6\text{mA}$, $V_O = 0.4\text{V}$, $V_{CC} = 4.5\text{V}$		
Logic Low Output Voltage	V_{OL}	4371		0.1	0.4	V	$I_F = 1.6\text{mA}$, $I_O = 6.4\text{mA}$, $V_{CC} = 4.5\text{V}$		6
				0.1	0.4		$I_F = 5\text{mA}$, $I_O = 15\text{mA}$, $V_{CC} = 4.5\text{V}$		
		4370		0.1	0.4	V	$I_F = 12\text{mA}$, $I_O = 24\text{mA}$, $V_{CC} = 4.5\text{V}$		
Logic High Output Current	I_{OH}	4371		0.05	100	μ A	$I_F = 0\text{mA}$, $V_O = V_{CC} = 18\text{V}$		6
		4370		0.1	250	μ A	$I_F = 0\text{mA}$, $V_O = V_{CC} = 7\text{V}$		
Logic Low Supply Current	I_{CCL}			0.2		mA	$I_F = 1.6\text{mA}$, $V_O = \text{Open}$, $V_{CC} = 5\text{V}$		6
Logic High Supply Current	I_{CCH}			10		nA	$I_F = 0\text{mA}$, $V_O = \text{Open}$, $V_{CC} = 5\text{V}$		6
Input Forward Voltage	V_F			1.4	1.7	V	$I_F = 1.6\text{mA}$, $T_A = 25^\circ\text{C}$		
Temperature Coefficient of Forward Voltage	$\frac{\Delta V_F}{\Delta T_A}$			−1.8		mV/ $^\circ\text{C}$	$I_F = 1.6\text{mA}$		
Input Capacitance	C_O			40		pF	$f = 1\text{MHz}$, $V_F = 0$		
Insulation Voltage (Input-Output)	V_{I-O}		2500			V dc	45% Relative Humidity, $T_A = 25^\circ\text{C}$		7
Resistance (Input-Output)	R_{I-O}			10^{12}		Ω	$V_{I-O} = 500\text{V dc}$		7
Capacitance (Input-Output)	C_{I-O}			0.6		pF	$f = 1\text{MHz}$		7

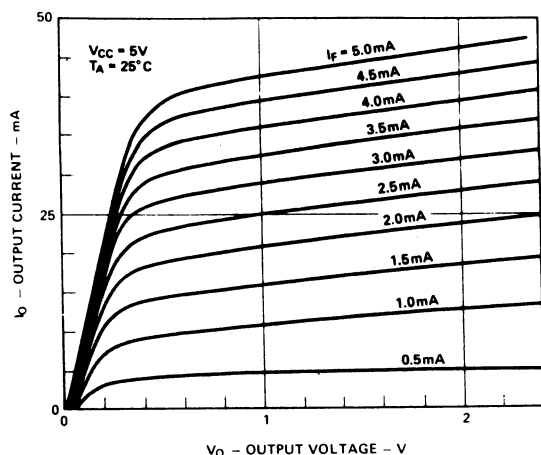
*All typicals at $T_A = 25^\circ\text{C}$ and $V_{CC} = 5\text{V}$, unless otherwise noted.

Figure 1. 5082-4371 DC Transfer Characteristics.

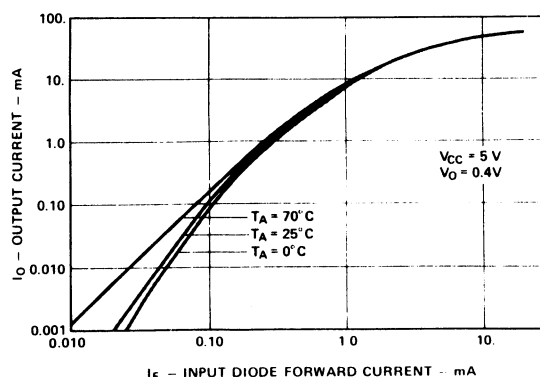


Figure 5. 5082-4371 Output Current vs. Input Diode Forward Current.



Switching Specifications

AT $T_A = 25^\circ\text{C}$

Parameter	Sym.	Device 5082-	Min.	Typ.	Max.	Units	Test Conditions	Fig.	Note
Propagation Delay Time To Logic Low at Output	t _{PHL}	4371		5	25	μs	$I_F = 0.5\text{mA}$, $R_L = 4.7\text{k}\Omega$ $I_F = 12\text{mA}$, $R_L = 270\Omega$	9	6,8
		4370		0.2	1	μs	$I_F = 1.6\text{mA}$, $R_L = 2.2\text{k}\Omega$		
Propagation Delay Time To Logic High at Output	t _{PLH}	4371		5	60	μs	$I_F = 0.5\text{mA}$, $R_L = 4.7\text{k}\Omega$ $I_F = 12\text{mA}$, $R_L = 270\Omega$	9	6,8
		4370		1	7	μs	$I_F = 1.6\text{mA}$, $R_L = 2.2\text{k}\Omega$		
Common Mode Transient Immunity at Logic High Level Output	CM _H			>500		V/ μs	$I_F = 0\text{mA}$, $R_L = 2.2\text{k}\Omega$ $ V_{cm} = 10\text{V}_{p-p}$	10	9
Common Mode Transient Immunity at Logic Low Level Output	CM _L			<-500		V/ μs	$I_F = 1.6\text{mA}$, $R_L = 2.2\text{k}\Omega$ $ V_{cm} = 10\text{V}_{p-p}$	10	9

NOTES:

1. Derate linearly above 50°C free-air temperature at a rate of $0.4\text{mA}/^\circ\text{C}$.
2. Derate linearly above 50°C free-air temperature at a rate of $0.7\text{mW}/^\circ\text{C}$.
3. Derate linearly above 25°C free-air temperature at a rate of $0.7\text{mA}/^\circ\text{C}$.
4. Derate linearly above 25°C free-air temperature at a rate of $2.0\text{mW}/^\circ\text{C}$.
5. DC CURRENT TRANSFER RATIO is defined as the ratio of output collector current, I_O , to the forward LED input current, I_F , times 100%.
6. Pin 7 Open.
7. Device considered a two-terminal device: Pins 1, 2, 3, and 4 shorted together and Pins 5, 6, 7, and 8 shorted together.
8. Use of a resistor between pin 5 and 7 will decrease gain and delay time. See Application Note 951-1 for more details.
9. Common mode transient immunity in Logic High level is the maximum tolerable (positive) dV_{cm}/dt on the leading edge of the common mode pulse, V_{cm} , to assure that the output will remain in a Logic High state (i.e., $V_O > 2.0\text{V}$). Common mode transient immunity in Logic Low level is the maximum tolerable (negative) dV_{cm}/dt on the trailing edge of the common mode pulse signal, V_{cm} , to assure that the output will remain in a Logic Low state (i.e., $V_O < 0.8\text{V}$).

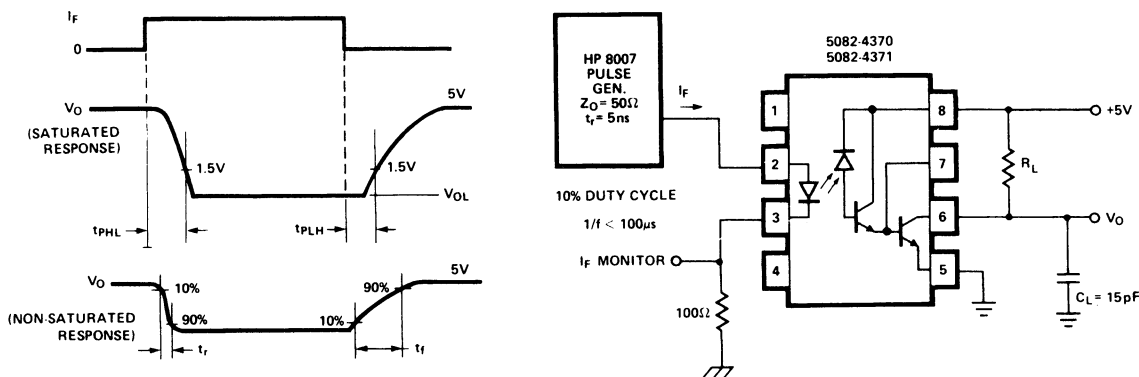


Figure 9. Switching Test Circuit.

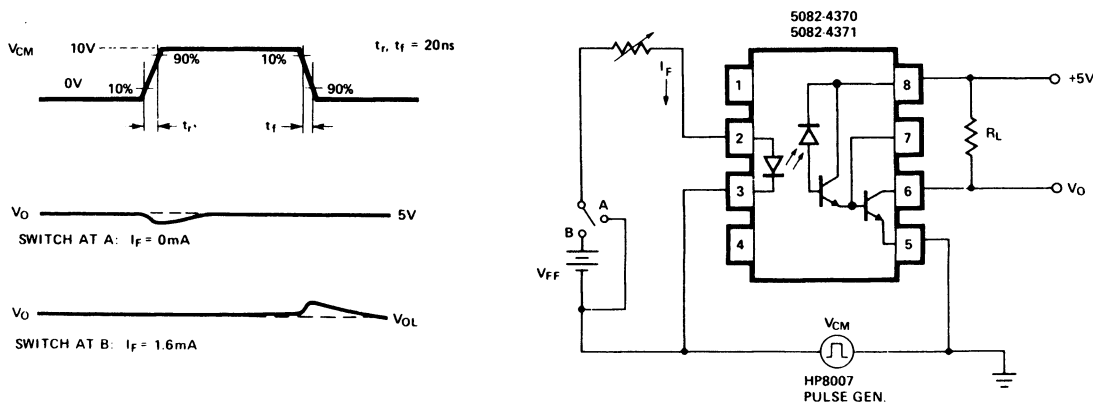


Figure 10. Test Circuit for Transient Immunity and Typical Waveforms.



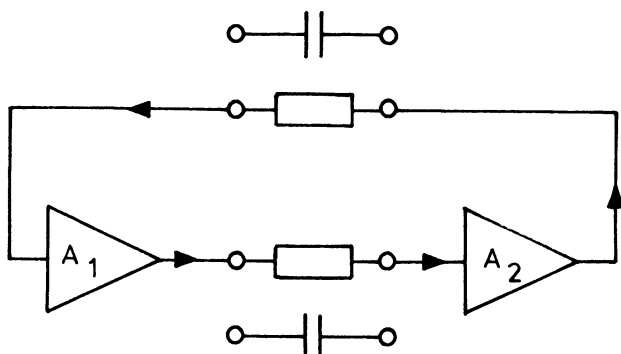
DISPOSITION

1. Multivibrator
2. Astabil multivibrator AMV
3. Monostabil multivibrator MMV
4. Bistabil multivibrator BMV
5. Schmitt-trigger ST

1. MULTIVIBRATOR

Et multivibrator kredsløb er et regenerativt kredsløb.

Grundkoblingen består af to switch-forstærker kredsløb, der er koblet på en sådan måde, at udgangssignalet fra det ene kredsløb ledes til indgangen på det andet og omvendt.



Der skelnes mellem fire forskellige multivibrationskredsløb:

1. Astabil multivibrator AMV
2. Monostabil multivibrator MMV
3. Schmitt-trigger kredsløb
4. Bistabil multivibrator BMV

Forskellen mellem de fire koblinger ligger udelukkende i den måde, hvorpå koblingen foretages mellem de to switch-trin A_1 og A_2 .

Koblingen kan være ren ohmsk eller kapacitiv.

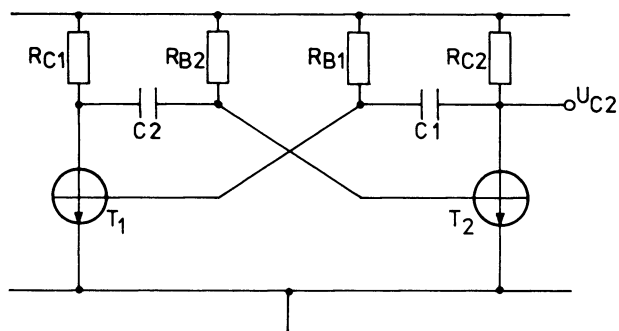
Det er endvidere kendetegnende for MV-kredsløbene, at den ene switch-kobling altid vil være ON, når den anden er OFF.

Tilføres en kortvarig styreimpuls udefra, foretager MV-kredsløbene selv omskiftningen fra én til den modsatte tilstand, regenerativ virkning.



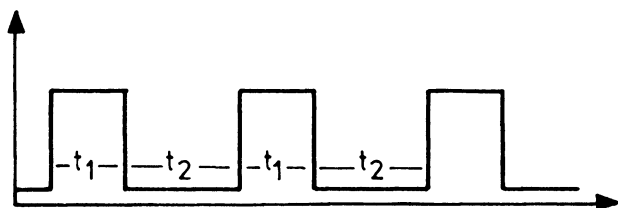
2. ASTABIL MULTIVIBRATOR AMV

2.1 Kredsløb



Den astabile multivibrator er opbygget som vist.

Kredsen har, som navnet siger, ingen stabil "stilling", hvorfor den oscillerer med en bestemt frekvens og med rektangulær kurveform som vist.



Tiderne t_1 og t_2 benævnes:

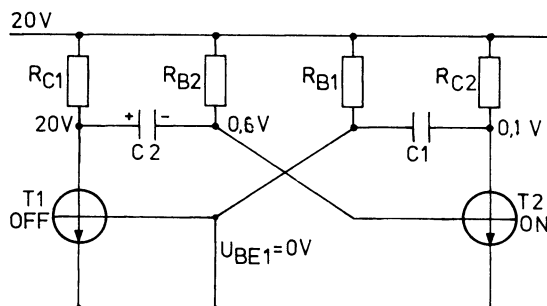
t_1 = Impulstiden (pulstid)

t_2 = Pausetiden

Periodetiden $T = t_1 + t_2$

Frekvensen $f = \frac{1}{T}$

2.2 Virkemåde



Tænker man sig, at basis T_1 først er kortslettet til stel som vist, vil T_1 være OFF og $U_{C1} = 20 \text{ V}$.

Er tilstanden stationær, vil tilstedeværelsen af C_2 ingen virkning have.

T_2 's basis vil få strøm gennem R_B og således være ON.

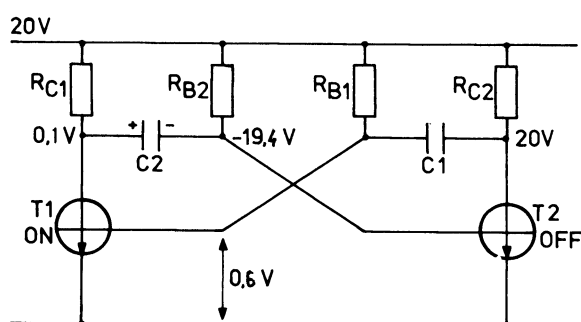
Da U_{BE2} ikke kan være større end mætningsspændingen, ca. $0,6 \text{ V}$, ligger der over C_2 $19,4 \text{ V}$ med den angivne polaritet.

Fjernes kortslutningen, vil strømmen gennem R_{B1} ikke længere gå direkte til stel, men derimod til T_1 's basis.

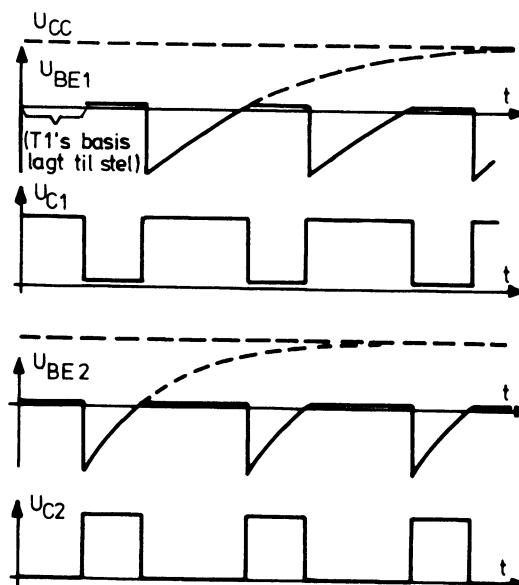


Denne basisstrøm vil straks styre T_1 ON og bevirke, at U_{C1} falder momentant til ca. 0,1 V.

Da højre side af C_2 ligger 19,4V lavere end venstre side, vil basisemitterspændingen, i samme øjeblik T_1 går ON, antage værdien ca. -19,3 V (-19,4 + 0,1) i forhold til stel, hvorved T_2 går OFF.



Forløbene af basis- og kollektor-spændingerne, U_{B1} , U_{B2} , U_{C1} og U_{C2} for de to transistorer T_2 og T_1 ser således ud:



T_2 's basisemitterspænding U_{BE2} kan ikke forblive -19,3 V, idet kondensatoren vil oplades imod +20 V.

U_{BE2} vil dog ikke kunne overskride mætningsspændingen 0,6 V, og i det øjeblik, denne værdi nås, går T_2 atter ON, og hele forløbet gentager sig.



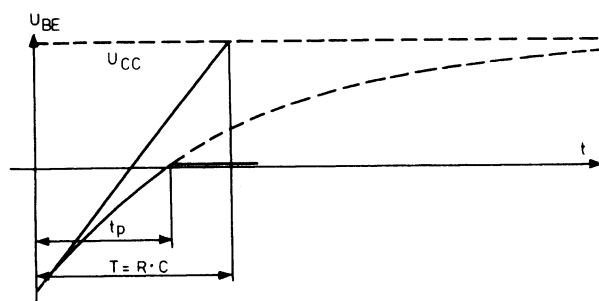
2.3 Impulsbredde og frekvens

Som tidligere nævnt er U_{BE} -kurverne kondensatoropladningskurver, idet den pågældende kondensator oplades fra ca. -20 V mod $+20\text{ V}$.

I det øjeblik spændingsniveauet er nået til mætningsværdien $U_{BEsat} = +0,6\text{ V}$, altså kun ca. "halvvejen", går transistoren ON.

Den tid, kondensatoren er om at lade op til halvdelen af "den tilsigtede spænding", er mindre end tidskonstanten $R \cdot C$.

Det erindres, at efter én tidskonstants forløb har spændingen nået 63,2%; ca. halvdelen nås altså på lidt kortere tid.



Impulstiden regnes til:

$$t_p = 0,7 \cdot R \cdot C$$

Summen af de to impulstider:

$$t_1 = 0,7 \cdot R_1 \cdot C_1 \text{ og}$$

$$t_2 = 0,7 \cdot R_2 \cdot C_2$$

giver den samlede periodetid T , og repetitionsfrekvensen findes da af:

$$f = \frac{1}{T},$$

fås:

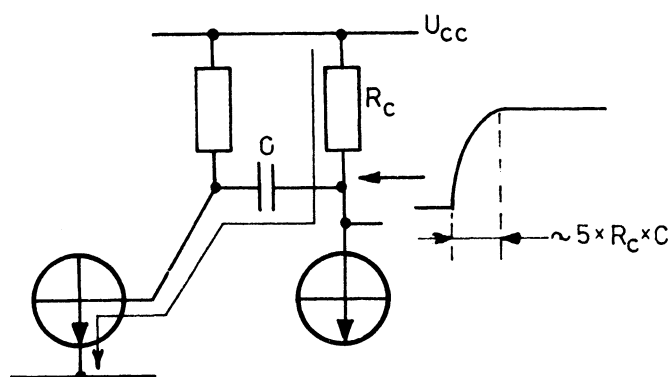
$$f = \frac{1}{0,7(R_1 \cdot C_1 + R_2 \cdot C_2)}$$

2.4 Forbedring af stigetid

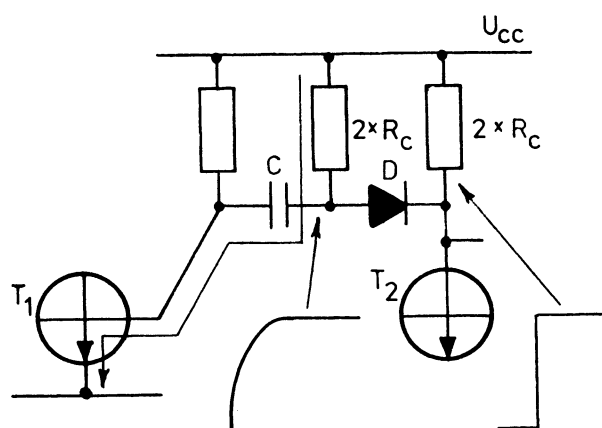
Hvis multivibratoren skal anvendes som clock-impuls generator for integrerede logiske kredsløb, stilles der krav til stige- og faldetiden, der skal være kortere end den styrede gates propagation delay.

Betragtes kollektorimpulsen på den astabile multivibrator, vil det ses, at stigetiden er temmelig lang.

Det skyldes, at når transistoren går OFF, skal overføringskondensatoren oplades gennem R_C .



For at forbedre dette forhold, kan R_C opdeles i to modstande af den dobbelte værdi og adskilles af en diode.



Idet T_2 går OFF, stiger kollektor-spændingen, hvorved dioden D afbrydes.

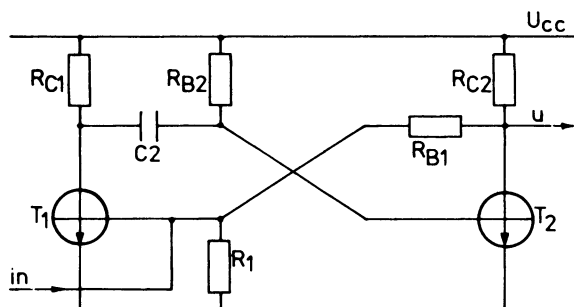
Stigetiden på kollektoren er nu kun bestemt af R_C og transistoren, idet C er afbrudt fra kollektoren, indtil T_2 igen går ON.



3. MONOSTABIL MULTIVIBRATOR

MMV

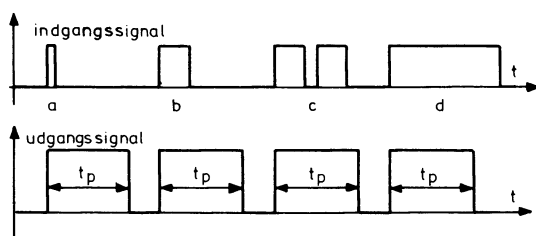
3.1 Kredsløb



Den monostabile multivibrator er opbygget som vist.

Kredsløbet har, som navnet siger, kun én stabil "stilling".

Multivibratorens funktion



Det ses, at impulsen (udgangssig-
let) starter samtidig med indgangs-
signalet, og uanset indgangssigna-
lets varighed får man et udgangs-
signal med en given impulstid a
og b .

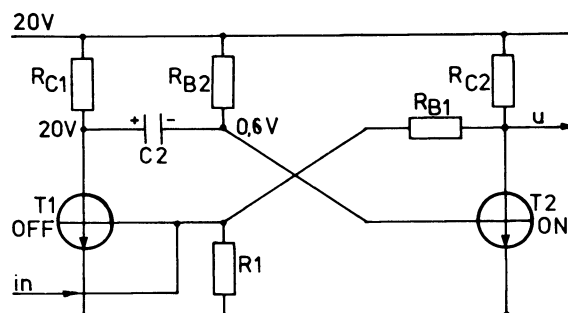
Hvis indgangen påtrykker et sig-
nal, inden udgangssignalet im-
puls er afsluttet, har denne sidste
indgangsimpuls ingen indflydelse
på udgangsimpulsens længde c .

3.2 Virkemåde

I det øjeblik multivibratoren til-
sluttes forsyningsspændingen, vil
begge transistorer have tendens
til at gå ON.

T_1 får basisstrøm gennem R_{B1} ,
som er tilsluttet T_2 's kollektor,
medens T_2 får basisstrøm fra R_{B2} ,
som er tilsluttet U_{CC} direkte.

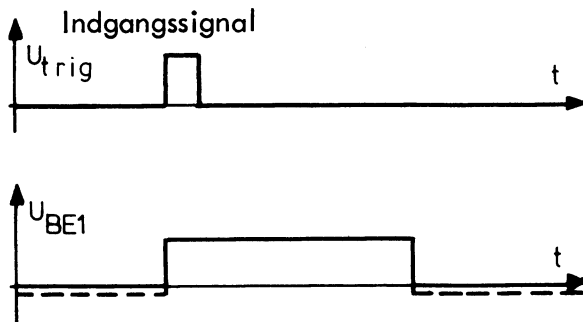
Men i det øjeblik T_2 går ON,
falder U_{CE2} til næsten nul, og
 T_1 vil dermed være OFF i statio-
nær tilstand.



Hvis U_{CE2} ikke bliver tilstrække-
lig lav til, at T_1 vil gå OFF,
 $0,1-0,2$ V, kan man forbinde en
passende modstand R_1 mellem T_1 's
basis til stel eller forbinde R_1
til en lille negativ spænding.



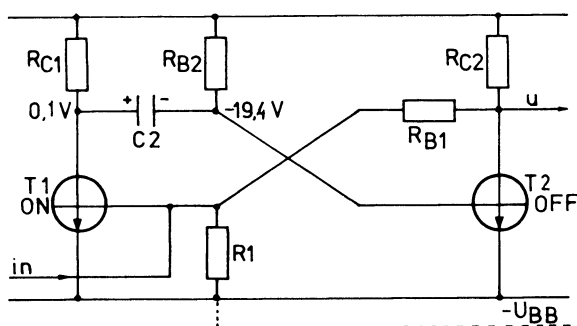
Giver man nu T_1 en positiv impuls ind på basis, vil den gå ON, og U_{CE} vil falde fra en værdi nær U_{CC} til næste nul.



Som følge af, at U_{CE1} pludselig bliver nul, og kondensatoren C_2 's højre side er ca. U_{CC} lavere end U_{CE1} , vil der ske samme fænomen som ved den astabile multivibrator: U_{BE} vil blive stærkt negativ.

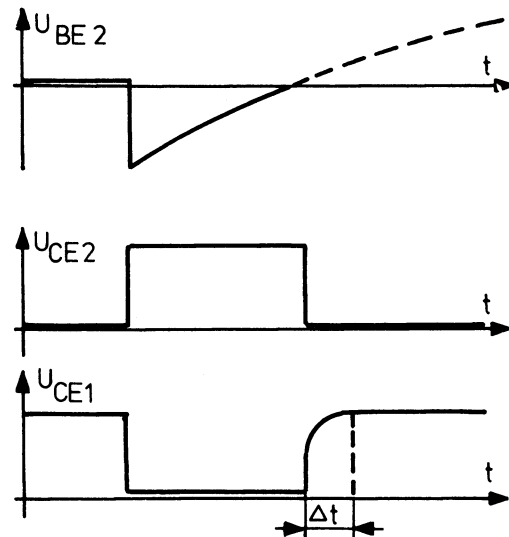
Kondensatoren vil blive opladet imod $+U_{CC}$, og først i det øjeblik U_{BE2} når mætningsspændingen ca. 0,6 V, går T_2 atter ON.

Så længe T_2 er OFF, får T_1 basisstrøm gennem R_{C2} og R_{B1} , dvs. at T_1 forbliver ON, efter indgangsimpulsen er forsvundet.

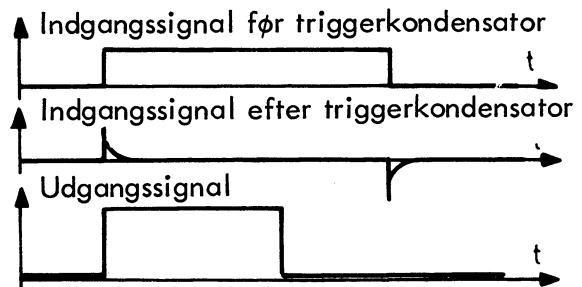


I det øjeblik, T_2 atter går ON, bliver U_{CE2} næsten nul, og da T_1 's basis er forbundet til T_2 's kollektor via R_{B1} , falder U_{BE1} tilsvarende.

T_1 går som følge heraf OFF, og hele forløbet kan gentages forfra.



For at udelukke en eventuel DC komponent i indgangssignalet kan man indskyde en passende kondensator, triggerkondensator C_T , i indgangssignalets tilledning.



3.3 Impulsbredde

Som det fremgår af kurven for U_{BE2} , er impulstiden afhængig af de samme forhold som ved den astabile multivibrator, nemlig:

$$t_p = 0,7 \cdot R_{B2} \cdot C_2.$$



3.4 Impulsens kurveform

Det ses, at forkanten af kurven U_{CE1} er noget afrundet.

Dette skyldes det samme fænomen, som beskrevet under den astabile multivibrator.

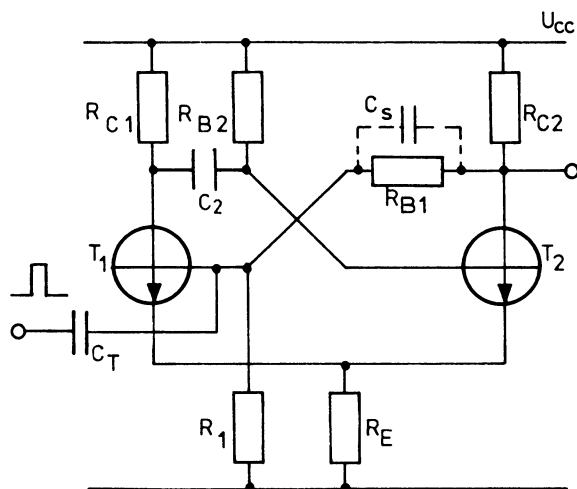
Også her drejer det sig om en kondensatoropladningskurve, hvis tidskonstant er bestemt af:

$$\tau = R_{C1} \cdot C_2$$

Derimod er udgangssignalet U_{CE2} praktisk taget rektangulært, idet der i denne gren af multivibratoren ikke findes noget RC led, som hindrer en momentan spændingsstigning.

Udgangssignalets stige- og faldetid er kun afhængig af, hvor hurtig transistoren er.

I stedet for at anvende en separat negativ spænding U_{BB} kan man benytte den viste kobling, hvor spændingen U_E til erstatning af U_{BB} fås ved hjælp af fælles emittermodstand R_E .



Det skal dog bemærkes, at brugen af emittermodstanden øger udgangsspændingen i hvilestilling.

3.5 Recovery time

Det skal bemærkes, at det tager en vis tid for multivibratoren at gå helt tilbage til udgangsstillingen.

I det øjeblik højre side af C_2 når fra ca. $-U_{CC}$ op på T_2 's mætningsspænding U_{BE2} på ca. 0,6 V, går T_2 ganske vist ON, hvad der svarer til stationære forhold, men det samme fænomen som ved den astabile multivibrator gør sig også gældende her: RC leddet bestående af R_{C1} og C_2 forårsager, at impulsen U_{CE1} får en afrundet forkant, og først efter en vis tid Δt når den sin fulde værdi.

Da det også her drejer sig om en kondensatoropladningskurve, når den stationære værdi teoretisk først efter uendelig lang tids forløb, men efter fem tidskonstanter forløb mangler spændingen kun ca. 1% i at være stationær, og man siger, at den i praksis har nået sin stationære værdi.

Først efter denne tid kan forløbet på ny startes, dersom impuls længden skal blive den beregnede $t_p = 0,7 \cdot R_{B2} \cdot C_2$, man har altså

$$\Delta t = 5 \cdot R_{C1} \cdot C_2$$

3.6 Speed-up kondensator

I diagrammet under pkt. 3.4 er der endvidere forbundet en kondensator C_S parallelt over basismodstanden R_{B1} .

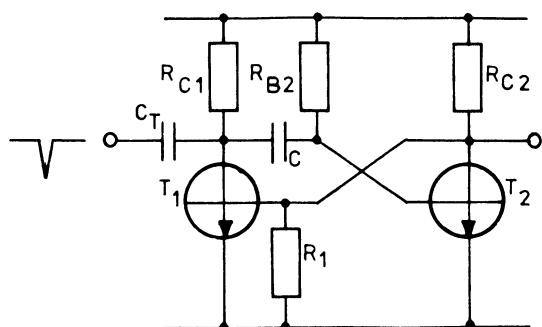
Denne kondensator kaldes en "speed-up kondensator" og bevirker, at omskiftningen på multivibratoren sker hurtigere.

Man opnår herved en bedre kurveform på udgangssignalet.

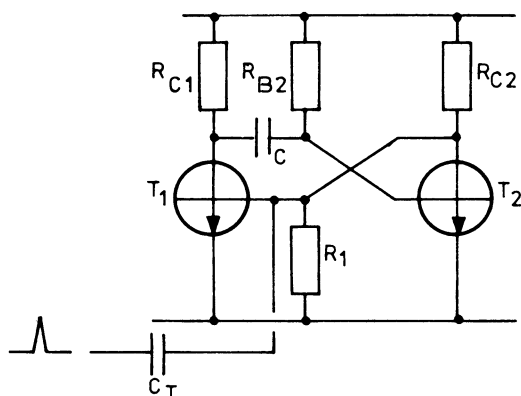


3.7 Trigning

Trigningen kan ske enten ved en negativ impuls på T_1 's kollektor

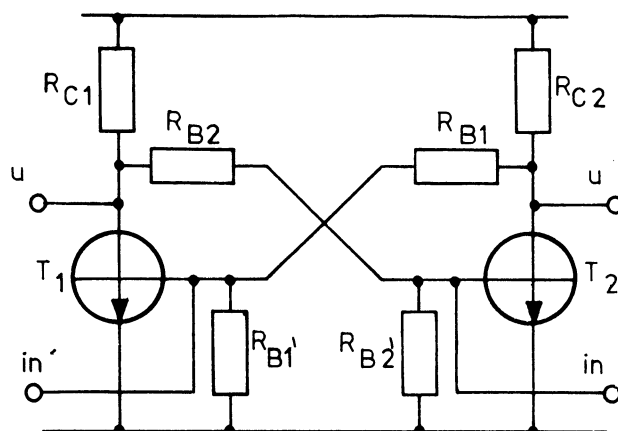


eller ved en positiv impuls på samme transistors basis



4. BISTABIL MULTIVIBRATOR BMV

4.1 Kredsløb



Den bistabile multivibrator har, som navnet antyder, to stabile tilstande, og således vil enten T_1 være ON, medens T_2 er OFF, eller også er T_2 ON, medens T_1 er OFF.

Opstillingen skal være symmetrisk for at opfylde betingelserne.

4.2 Virkemåde

Antag, at T_1 er OFF, og T_2 er ON.

Ved at tilføre den spærrede transistors basis en positiv spændingsimpuls vil T_1 skifte fra OFF til ON, hvorved T_2 vil skifte fra ON til OFF.

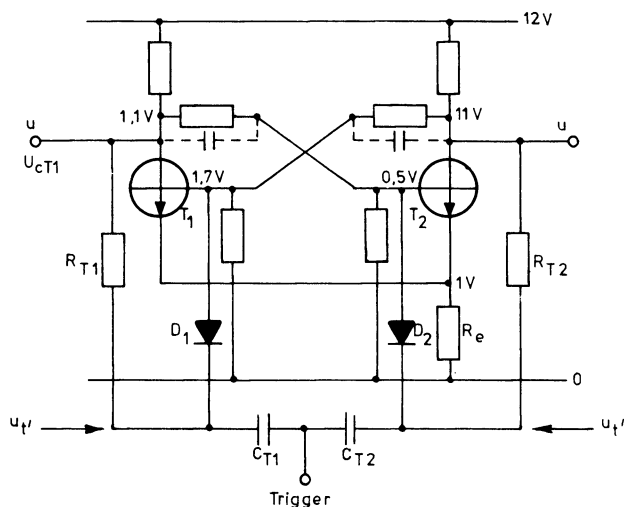
For at skifte tilbage i udgangstillingen skal enten T_1 's basis modtage en negativ impuls, hvorved T_1 bliver spærret og bevirker, at T_2 går ON, eller T_2 's basis skal modtage en positiv impuls, hvorved T_2 går ON og forårsager T_1 spærret.

Udgangsimpulsernes længde er afhængig af triggerimpulsens frekvens.



4.3 Triggerkredsløb

Ved hjælp af dioder er det muligt at lede triggerimpulsen fra en fælles triggerindgang til den transistor, der er ON.

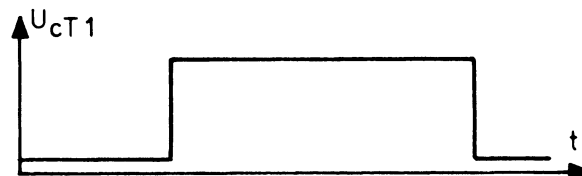
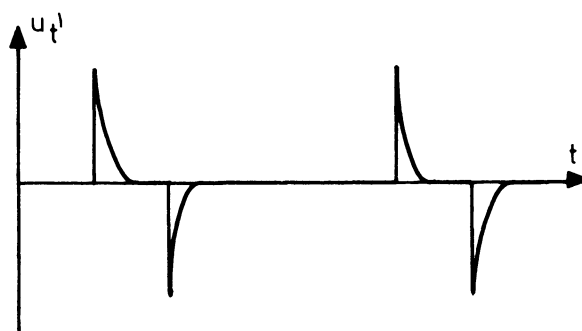


Som man vil bemærke, er der indføjet en fælles emittermodstand for at sikre en stabil OFF-tilstand selv ved høj drifttemperatur.

Antag, at T_1 er ON, og T_2 er OFF. Dioden D_1 vil da være ledende via R_{T1} , og D_2 spærret via R_{T2} .

En positiv triggerimpuls vil blive differentieret over C_{T1} og R_{T1} som vist.

Triggerimpuls



Den positive impuls u_T vil ikke kunne nå frem til baserne på grund af dioderne, men den negative vil via D_1 styre T_1 OFF, hvorved T_2 går ON.

Det er nu D_1 , der er spærret og D_2 , der er ledende, hvorfor den følgende triggerimpuls vil nå frem til T_2 's base.

Som det fremgår af diagrammet, sker skiftet på bagkanten af den positive triggerimpuls.

Havde impulsen været negativ, var skiftet sket på forkanten.

4.4 Speed-up kondensatorer

Som vist, kan den bistabile multivibrator også forsynes med speed-up kondensatorer for at gøre skiftetiderne kortere.



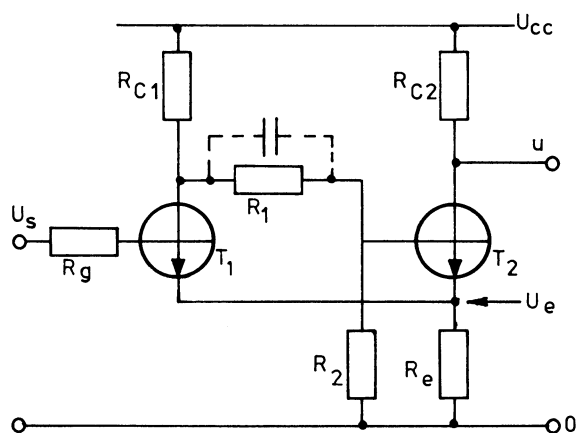
4.5 Anvendelser

Af impulsplanen kan ses, at for hver udgangsimpuls skal der tilføjes to triggerimpulser, dvs. at der er sket en frekvensdeling på 2:1.

Denne egenskab kan anvendes i binære tællere.

5. SCHMITT-TRIGGER ST

5.1 Kredsløb



Schmitt-triggeren er en bistabil multivibrator, der skifter tilstand, når styrespændingen overstiger en bestemt tærskelværdi.

Denne tilstand vedvarer, indtil styrespændingen er faldet til en anden tærskelværdi, hvor Schmitt-triggeren skifter tilbage til den oprindelige tilstand.

5.2 Virkemåde

Betragtes Schmitt-triggeren ved styrespændingen $U_s = 0$ V, vil T_1 være OFF og T_2 ledende.

Hvis T_2 er helt ON, kaldes trinnet en mættet Schmitt-trigger.

Hvis T_2 er ledende i sit aktive område, kaldes trinnet en umættet Schmitt-trigger.

Førges U_s , vil T_1 på et eller andet tidspunkt begynde at trække strøm, hvilket bevirker en faldende U_{c1} .

Dette medfører også, at U_{b2} falder, men da T_2 's basisstrøm via R_1 er større end nødvendigt for at holde T_2 ON, sker der i første omgang intet med I_{c2} .

Ved en vis U_s vil U_{c1} og dermed U_{b2} dog være faldet til en sådan værdi, at T_2 ikke længere kan holdes ON, hvilket medfører faldende I_{c2} .

På grund af forstærkningen i T_1 vil I_{cT2} aftage hurtigere end I_{cT1} , hvorfor U_e vil falde og dermed fjerne sig fra U_s .

Dette vil bevirke større U_{be1} , større I_{c1} , mindre U_{be2} , mindre I_{c2} osv., og opstillingen skifter nu hurtigt fra en tilstand til en anden.

Styrespændingen U_s , som forårsager et skift for T_2 fra ON til OFF, behøver ikke nødvendigvis at have en sådan størrelse, at T_1 er i mætning.

Ved at ændre U_s tilbage mod 0 V vil det samme gentage sig i omvendt rækkefølge, blot skal man være opmærksom på, at skiftet sker ved et lavere niveau.

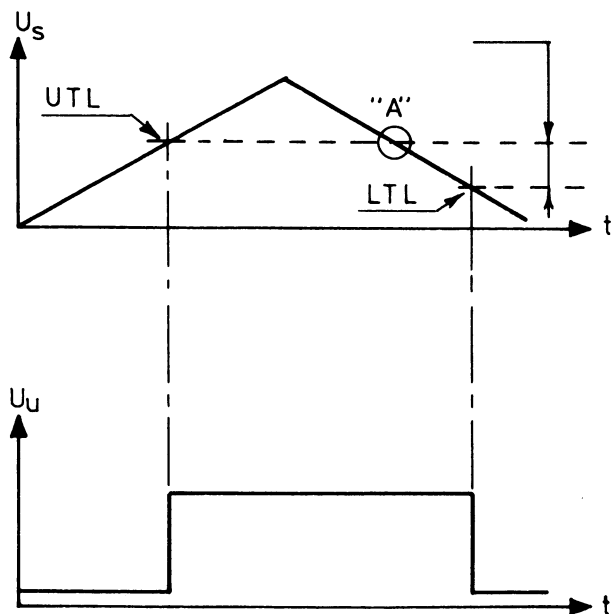


5.3 Hysteresese

Niveauet, ved hvilket T_1 går ON og T_2 OFF, benævnes upper trigger level eller blot UTL, og niveauet, hvor T_1 går OFF og T_2 ON, benævnes lower trigger level, LTL.

Forskellen mellem disse to niveauer benævnes Schmitt-triggerens hysteresese.

Hysteresens størrelse er afhængig af emittermodstandens størrelse og R_{C1} samt basisspændingsdeleren R_{b1} og R_{b2} .



5.4 UTL

For en umættet Schmitt-trigger er UTL givet ved:

$$UTL = U_{CC} \cdot \frac{R_2}{R_{C1} + R_1 + R_2};$$

For en mættet Schmitt-trigger er UTL givet ved:

$$UTL = \frac{R_E \cdot U_{CC}}{R_E + R_{C2}} + 0,6$$

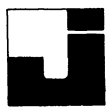
5.5 LTL

Hvis U_s har passeret UTL for opadgående, hvorved T_2 er gået OFF og er nået punktet "A" på vej ned igen, vil emitterspændingen nu være den samme som ved UTL, men da T_1 stadig trækker kollektorstrøm, vil U_{bT2} være lavere end ved UTL, hvorfor U_s skal sænkes yderligere, før T_2 går ON, og tilbageskiftet sker.

$$LTL = U_{CC} \cdot \frac{R_E // (R_1 + R_2)}{R_{C1} + R_E // (R_1 + R_2) + 0,6}$$

5.6 Speed-up kondensator

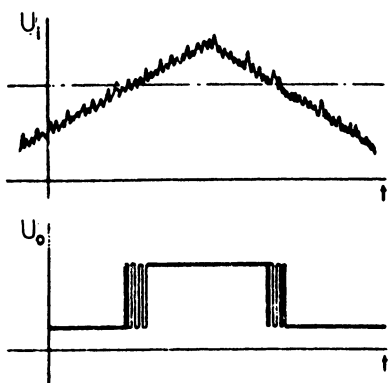
For at opnå kortere skiftetider kan R_1 shuntes med en speed-up kondensator.



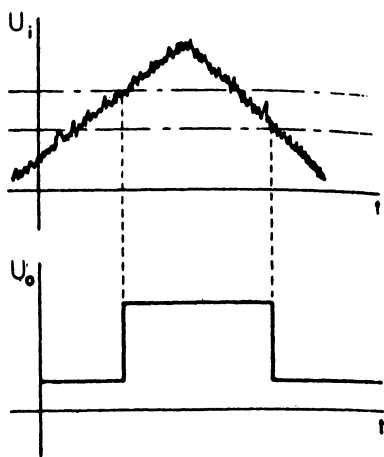
5.7 Anvendelser

Schmitt-triggeren kan anvendes som niveaudetektor, for eksempel til fjernelse af støj.

Udgangssignal med 0 hysteres



Udgangssignal med hysteres



Som impulsformer anvendes Schmitt-triggeren til at gendanne impulser, der er blevet forvrænget eller til for eksempel at omdanne en sinussvingning til en firkant.



DISPOSITION

1. Schmitt-trigger
2. Monostabil multivibrator
3. Astabil multivibrator

1. SCHMITT-TRIGGER

1.1 Skiftetid

De forskellige logiske kredse er relative hurtige, dette kan ses ud fra, at de kan anvendes til tællere op til flere MHz.

Derfor er skiftetiden relativ lille:

Lille stigetid, rise time.
Lille faldetid, fall time.

1.2 Propagation delay

Ved logiske kredse benyttes udtrykket propagation delay for den tidsforsinkelse, der sker fra indgang til udgang med forkant og bagkant af en impuls.

t_{PHL} er propagation delay
High til Low

t_{PLH} er propagation delay
Low til High

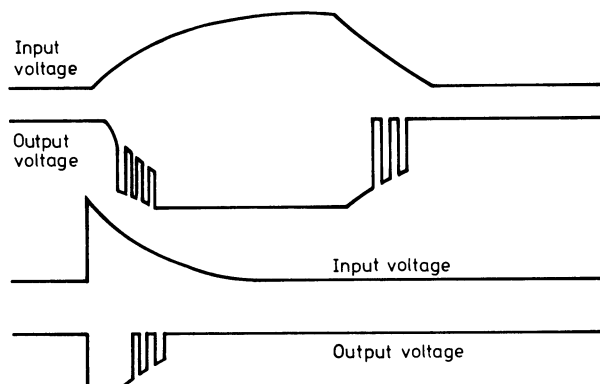
1.3 Selvsving

Tilføres en gate, NAND, en spænding med lang stigetid eller faldetid, vil gaten være for længe i det forbudte område.

I det forbudte område virker gaten som en lineær forstærker med tilbagekobling.

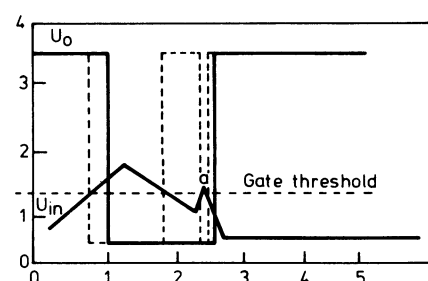
Denne tilbagekobling bevirker ustabilitet og 180° fasedrejning mellem ind- og udgang.

Er tiden gennem det forbudte område længere end eller lig med summen af propagation delays, $t_{PHL} + t_{PLH}$, gaten begynde at oscillere.



1.4 Støj

Imedens indgangsspændingen stiger igennem det forbudte område, kan en DC støj eller AC støj give uønsket trigning, se tegning, og impuls-pausetiden ændres.



1.5 Krav til Schmitt-triggeren

Hvis en Schmitt-trigger skal fjerne disse ulemper, kan der opstilles følgende krav til den:

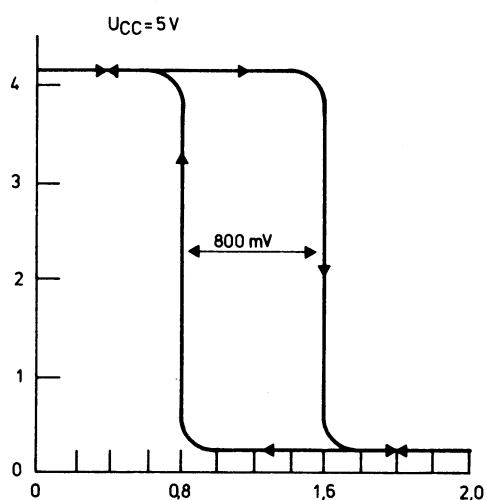
1. Skifter fra logisk 0 til logisk 1 ved et bestemt niveau.
2. Tilsvarende fra logisk 1 til logisk 0.
3. Holde samme impuls-pausetid, selv om forsyningsspændingen og temperaturen ændrer sig.



1.6 Integreret ST

Texas Instrument SN54/7413 er en dobbelt 4-input Schmitt-trigger. Den kan bruges sammen med TTL- og DTL-kredse.

I tegningen er hysteresen tegnet som $V_O = f(V_{in})$.



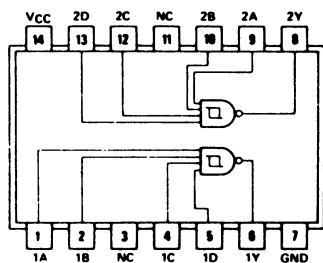
1.7 Sockelforbindelse og symbol for SN7413

13

**DUAL 4-INPUT
POSITIVE-NAND
SCHMITT TRIGGERS**

positive logic:

$Y = ABCD$



SN5413/SN7413(J, N, W)



1.8 Datablad Texas SN54/7413

TEXAS INSTRUMENTS

recommended operating conditions

	54 FAMILY 74 FAMILY	SERIES 54 SERIES 74									SERIES 54S SERIES 74S	UNIT		
		'13			'14			'132			'S132			
		MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN		NOM	MAX
Supply voltage, V _{CC}	54 Family 74 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
High-level output current, I _{OH}		-800			-800			-800			-1000			μA
Low-level output current, I _{OL}		16			16			16			20			mA
Operating free-air temperature, T _A	54 Family 74 Family	-55		125	-55		125	-55		125	-55		125	°C
		0		70	0		70	0		70	0		70	

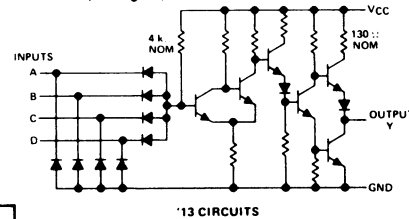
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS†	SERIES 54 SERIES 74									SERIES 54S SERIES 74S				UNIT
				'13			'14			'132			'132				
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX		
VT+ Positive-going threshold voltage		8	VCC = 5 V	1.5	1.7	2	1.5	1.7	2	1.5	1.7	2	1.6	1.77	1.9	V	
VT- Negative-going threshold voltage		9	VCC = 5 V	0.6	0.9	1.1	0.6	0.9	1.1	0.6	0.9	1.1	1.1	1.22	1.4	V	
Hysteresis (VT+ - VT-)		8, 9	VCC = 5 V	0.4	0.8		0.4	0.8		0.4	0.8		0.2	0.55		V	
VI Input clamp voltage		3	VCC = MIN, II = 5	-15			-15			-15			-12			V	
VOH High-level output voltage		9	VCC = MIN, VI = VT-min, IOH = MAX	54 Family	2.4	3.4		2.4	3.4		2.4	3.4		2.5	3.4	V	
				74 Family	2.4	3.4		2.4	3.4		2.4	3.4		2.7	3.4		
VOL Low-level output voltage		8	VCC = MIN, VI = VT+max, IOL = MAX		0.2	0.4		0.2	0.4		0.2	0.4			0.5	V	
IT+ Input current at positive-going threshold		8	VCC = 5 V, VI = VT+		-0.65			-0.43			-0.43			-0.9		mA	
IT- Input current at negative-going threshold		9	VCC = 5 V, VI = VT-		-0.85			-0.56			-0.56			-1.1		mA	
II Input current at maximum input voltage		4	VCC = MAX, VI = 5.5 V			1			1			1			1	mA	
IIH High-level input current		4	VCC = MAX, VI = 2.4 V			40			40			40			50	µA	
			VI = 2.7 V														
IIL Low-level input current		5	VCC = MAX, VIL = 0.4 V		-1	-1.6		-0.8	-1.2		-0.8	-1.2			-2	mA	
			VIL = 0.5 V														
IOS Short-circuit output current		6	VCC = MAX	-18	-55		-18	-55		-18	-55		-40	-100		mA	
ICC Supply current		Total, output high	VCC = MAX		14	23		22	36		15	24		28	44	mA	
		Total, output low			20	32		39	60		26	40		44	68		
		Average per gate			8.5			5.1			5.1			9			

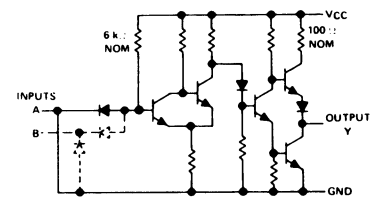
[†]For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.[‡]All typical values are at $V_{CC} = 5$ V, $T_A = 25^{\circ}$ C.[§] $I_I = -12$ mA for SN54/SN74 and -18 mA for 'S132.^{*}Not more than one output should be shorted at a time, and for 'S132, duration of output short circuit should not exceed one second.switching characteristics, $V_{CC} = 5$ V, $T_A = 25^{\circ}$ C

TYPE	TEST CONDITIONS	t_{PLH} (ns)		t_{PHL} (ns)	
		Propagation delay time, low-to-high level output		Propagation delay time, high-to-low level output	
		TYP	MAX	TYP	MAX
'13	$C_L = 15$ pF, $R_L = 400 \Omega$	18	27	15	22
'14, '132	$C_L = 15$ pF, $R_L = 400 \Omega$	15	22	15	22
'S132	$C_L = 15$ pF, $R_L = 280 \Omega$	7	10.5	8.5	13

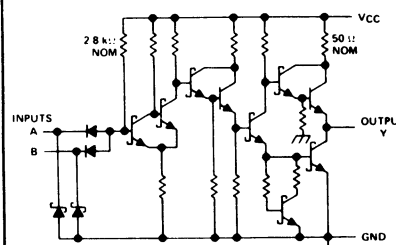
schematics (each gate)



'13 CIRCUITS

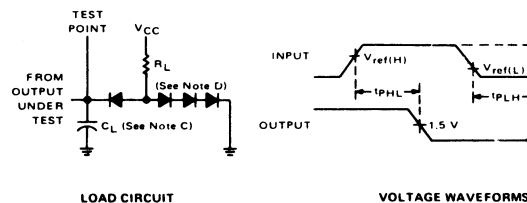


'14, '132 CIRCUITS



'S132 CIRCUITS

PARAMETER MEASUREMENT INFORMATION



- NOTES: A. The input waveform is supplied by a generator with the following characteristics: $Z_{out} = 50 \Omega$ and $PRR < 1$ MHz. Rise and fall times between 10 and 90 percent points are 10 ns for SN54/SN74 circuits and 2.5 ns for 'S132.
- B. Reference voltages for SN54/SN74 circuits are: $V_{ref(H)} = 1.7$ V, $V_{ref(L)} = 0.9$ V.
- C. C_L includes probe and jig capacitance.
- D. All diodes are 1N916 or 1N3064.

SCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS
WITH TOTEM-POLE OUTPUTSSCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS
WITH TOTEM-POLE OUTPUTS

TEXAS INSTRUMENTS



2. MONOSTABIL MULTIVIBRATOR

Hvor man skal bruge en forskellig impuls-pausetid, kan man benytte en monostabil multivibrator, f.eks. til neddeling eller til ophold efter en funktion, indtil den skal gentages.

2.1 MMV med NAND-gate

En monostabil multivibrator kan opbygges af:

Diskrete komponenter

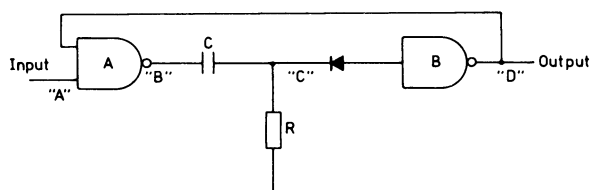
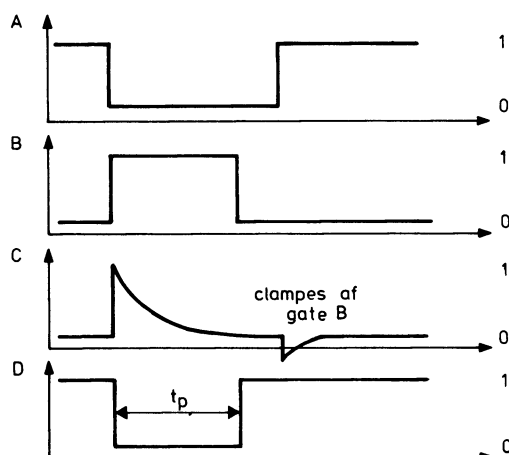
NAND-gate

NOR-gate

eller som en enhed i TTL-serien.

I tegningen er den opbygget af NAND-gate.

Denne stilling holdes lige så længe, som kondensatoren er om at lade op.



Stabil stilling:

Gate B's indgang er lagt til logisk 0 gennem dioden og modstanden, derfor er output logisk 1.

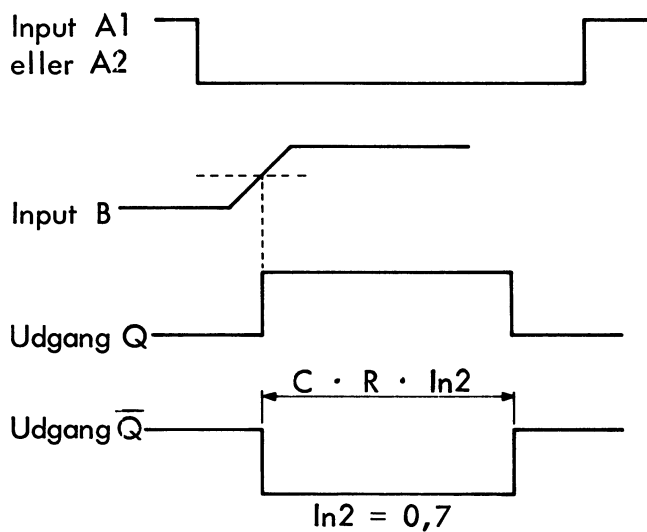
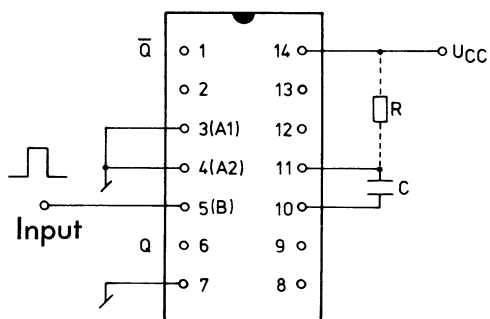
Er input high, bliver gate A's udgang low, og kondensatoren er ikke ladet op.

Ustabil stilling:

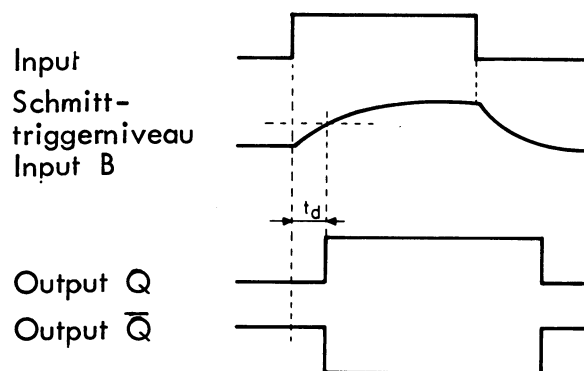
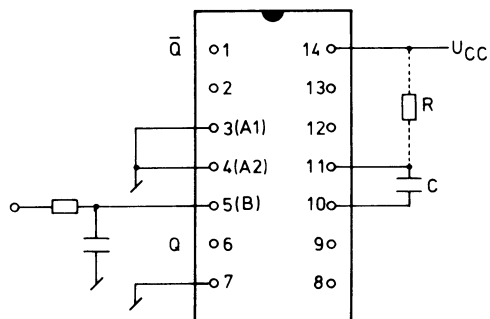
Når input går negativ, bliver gate A's udgang high, og kondensatoren lades op. Dioden bliver derved forspændt i spærre retningen, og gate B skifter.

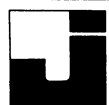


2.2 MMV, Texas SN74121



2.3 MMV, Texas SN74121 med tidsforsinkelse

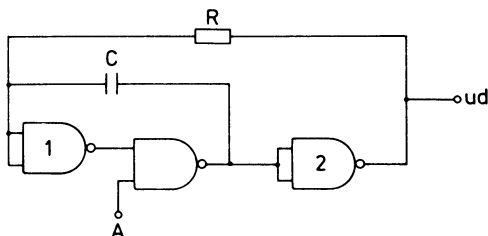




3. ASTABIL MULTIVIBRATOR

3.1 AMV med NAND-gates

Diagrammet herunder viser en impulsgenerator med NAND-gates.



Funktionen bygger på en stadig ompoling af kondensatoren ved hjælp af gate 2.

Skiftene finder sted, når spændingen på indgangen af gate 1 passerer de logiske niveauer for 1 og 0. Frekvensen er bestemt af RC tidskonstanten og er ca.:

$$f = \frac{1}{2 \cdot R \cdot C}$$

På indgang A kan generatoren stoppes med et logisk 0.

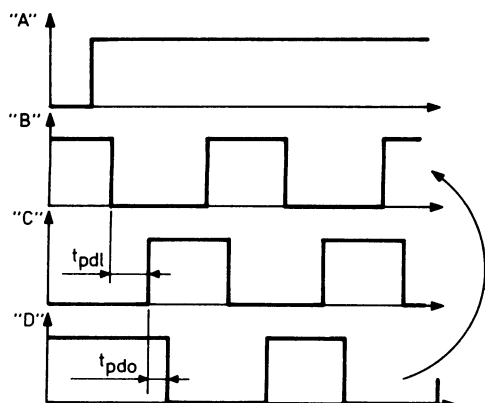
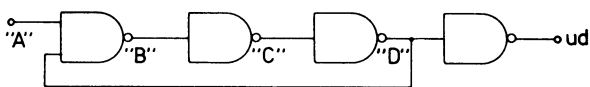
3.2 Clock-impulsgenerator med SN7400

Impulstiden er bestemt af gatens propagationtime.

For SN7400:

$t_{pdo} = 7 \text{ ns}$ fra 1 til 0

$t_{pdl} = 11 \text{ ns}$ fra 0 til 1

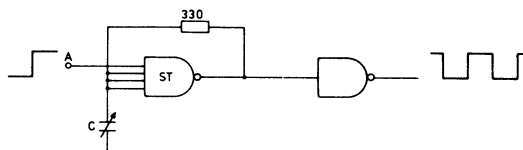


3.3 AMV med Schmitt-trigger

En astabil multivibrator kan opbygges meget simpelt med en integreret Schmitt-trigger.

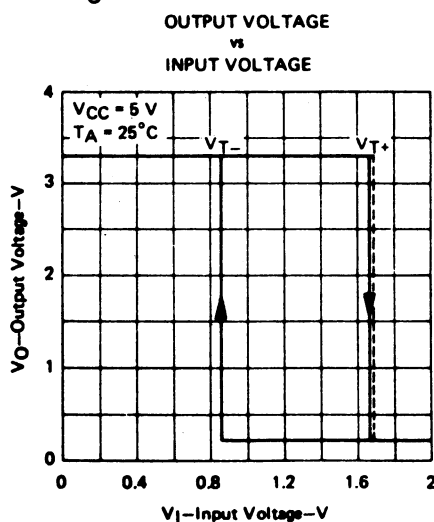
Eksempel:

a. Texas SN7413



Når A lægges på logisk 1, ændres udgangen på ST til logisk 0.

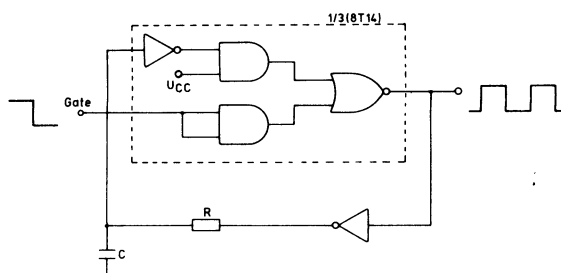
Kondensatoren C aflades mod 0 V, når spændingen over C er ca. 0,8 V, skifter ST til logisk 1.



Kondensatoren C oplades mod udgangsspændingen på ST, når spændingen over C er ca. 1,6 V, skifter ST til logisk 0, osv.

Opstillingen kan arbejde fra 0,1 Hz til 10 MHz.

b. Signetics 8T14



$$f_{osc} \approx \frac{1}{0,7RC}$$



DISPOSITION

1. RS flip-flop
2. Clock-impulsstyret RS-FF
3. D flip-flop
4. JK flip-flop
5. JK-master-slave FF

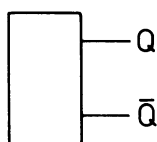
1. RS FLIP-FLOP

De indtil nu behandlede logiske koblinger og kredse har det fælles træk, at de skal styres permanent med deres indgangssignaler for at bevare en given tilstand på udgangen.

I logiske kredsløb er der også behov for nogle elementer, der kan fastholde en tilstand, efter at informationen er væk.

Til dette formål kan anvendes en bistabil multivibrator, også kaldet en flip-flop.

En flip-flop har to udgange, disse benævnes med Q og \bar{Q} , idet \bar{Q} altid vil være det negerede af Q .



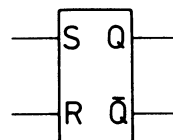
Stilling	Udg.	
	Q	\bar{Q}
0	0	1
1	1	0

Når flip-flop'en er logisk 0 på Q og logisk 1 på \bar{Q} , siges den at stå i stilling 0. Omvendt står den i stilling 1, når Q er 1, og \bar{Q} er 0.

Grundelementet i alle flip-flop's er RS flip-flop'en. RS står for reset-set, hvilket skal forstås således, at flip-flop'en via sine styreindgange kan sættes i stilling 1, set eller stilling 0, reset.

1.1 Symbol, RS-FF

Mil.norm.



1.2 Definition

Q og \bar{Q} er komplementer af hinanden, Q kan indtage værdien 1 eller 0.

Så længe begge inputs er 0, er der ingen skift på udgangen.

Ændres set til 1, har Q -værdien 1 og bibeholder denne værdi, uanset om set ændres tilbage til 0.

Hvis reset tilføres 1, har Q -værdien 0 og bibeholder denne værdi, uanset om reset ændres tilbage til 0.

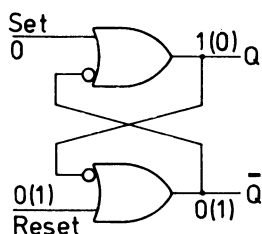
Output er udefineret, hvis begge inputs er 1, denne kombination af output skal undgås.

Til gengæld er den udefinerede stilling velegnet til at bestemme den korrekte symbolik. Symbolet i pkt. 1.1 skal vise at FF'en sættes og resettes med 1, og at Q -udgangen bliver 1 ved set.

Symbolet i pkt. 1.5 viser at FF'en sættes og resettes med 0, medens Q -udgangen stadig bliver 1 ved set.

Fra kredsløb til symbol kontrolleres dette nemmest ved at udlæse den udefinerede stilling.

1.3 RS-FF med OR-gates



Antag, at FF'en står i stilling 1, og der er 0 på set- og reset-indgangene. Tilstanden vil da være, som vist her over. 1-tallet på Q vil holde \bar{Q} på 0, hvilket sikrer $Q = 1$. Stillingen er altså stabil.

Skal FF'en stilles i stilling 0, lægges reset-indgangen til 1. Derved bliver \bar{Q} 1, og Q skifter til 0 og holder \bar{Q} på 1. Nu kan reset-signalet fjernes, og FF'en bliver i stilling 0.

En kort impuls 1 på reset eller set er altså nok til at stille FF'en i henholdsvis stilling 0 eller 1.

Tænker man sig, at reset- og set-indgangene samtidig påtrykkes logisk 1, vil begge udgange blive 1, og denne tilstand er ikke tilladt for en flip-flop.

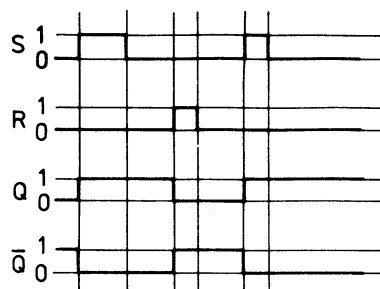
Lader man nu samtidig reset og set gå til 0, vil det ikke kunne forudsiges, hvilket stilling FF'en indtager. Denne styring fører altså til en udefineret tilstand.

1.4 Sandhedstabel og impulsplan for RS-FF med OR-gates

Indgange		Udgange	
S	R	Q	\bar{Q}
0	1	0	1
1	0	1	0
0	0	$Q_n \bar{Q}_n$ (låst)	
1	1	1	1 (undef.)

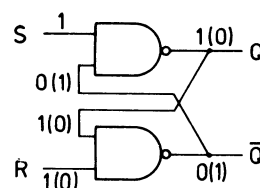
Q_n og \bar{Q}_n betyder Q og \bar{Q} 's tilstand, inden den angivne indgangstilstand blev etableret.

Funktionen kan også vises i en impulsplan.



1.5 RS-FF med NAND-gates

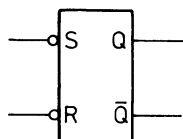
RS flip-flop'en kan også opbygges af NAND-gates, hvilket dog giver en anden funktionstabel.





I hvilestilling skal der nu ligge logisk 1 på indgangene, og flip-flop'en settes og resettes med logisk 0. Som følge heraf må indgangene hedde \bar{S} og \bar{R} .

Symbol :



NAND RS-FF'en er vist i stilling 1. Påtrykkes en logisk 0 på \bar{R} , vil \bar{Q} blive 1. Dette vil sammen med 1 på \bar{S} få Q til at gå til 0, hvilket holder \bar{Q} på 0. Herefter kan \bar{R} blive 1 igen.

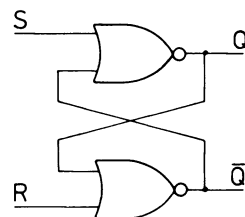
Den forbudte styring for denne kobling er 0 på både \bar{S} og \bar{R} . Denne tilstand vil medføre 1 på både Q og \bar{Q} , og når \bar{S} og \bar{R} igen går til 1, vil det ikke kunne forudsiges, i hvilken stilling flip-flop'en vil stille sig.

1.6 Sandhedstabel og impulsplan for RS-FF med NAND-gates

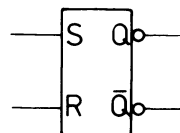
Indgange		Udgange	
S	R	Q	\bar{Q}
1	0	0	1
0	1	1	0
1	1	Q_n	\bar{Q}_n (låst)
0	0	1	1 (undef.)

1.7 RS-FF med NOR-gate

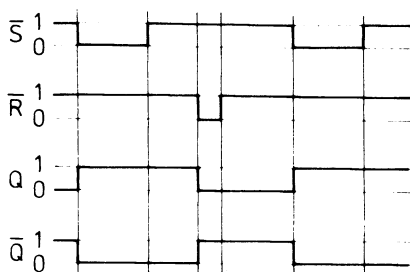
En RS flip-flop kan også opbygges med NOR-gates.



Symbolet og sandhedstabellen adskiller sig fra den oprindelige RS-FF på grund af inverterne i udgangen.



Indgange		Udgange	
S	R	Q	\bar{Q}
0	1	1	0
1	0	0	1
0	0	Q_n	\bar{Q}_n (låst)
1	1	0	0 (undef.)

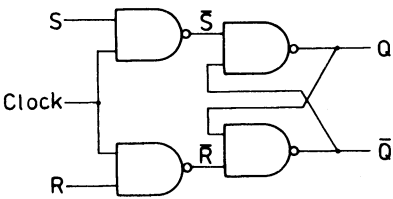


2. CLOCK-IMPULSSTYRET RS-FF

Som det fremgår af tabellen og impulsplanen, skifter RS-FF straks, når den modtager ordren på sine indgange. Til forskellige formål er der behov for en flip-flop, der først skifter, når den tilføres et styresignal. Dette styresignal kaldes clock-impulsen.

2.1 CP RS-FF med NAND-gates

Clock-impulsstyringen opnås ved at føre S- og R-informationen gennem et gate-netværk, der aktiveres af clock-impulsen.

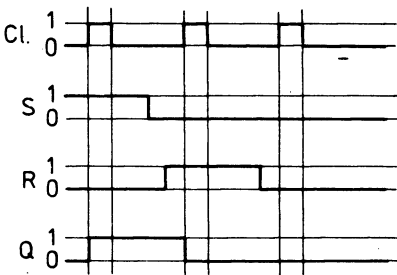


På grund af inverteringen i styregatene ophæves negationen af S og R.

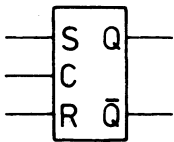
Indgange			Udgange	
S	R	C	Q	\overline{Q}
X	X	0	Qn \overline{Q} n (låst)	
0	0	1	Qn \overline{Q} n (låst)	
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1 (undef.)

X betyder, at det logiske niveau er ligegyldigt, 1 eller 0.

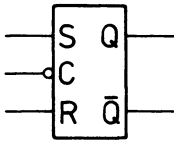
2.2 Impulsplan



2.3 Symbol



Hvis flip-flop'en kan skifte på logisk 0, tegnes symbolet således:



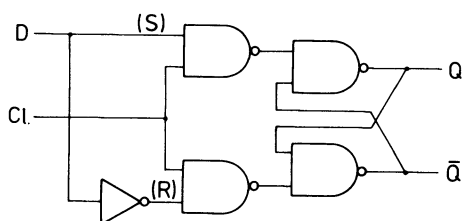
Der anbringes en state-indikator på clock-indgangen.



3. D FLIP-FLOP

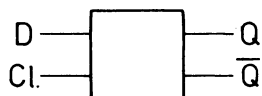
Den clock-impulsstyrede RS-FF har den udefinerede tilstand. Denne "skavank" kan undgås ved at ændre koblingen til en D flip-flop D for data.

Denne FF anvendes som lager-element for et bit.



Ved hjælp af inverteren mellem de oprindelige S- og R-indgange er det sikret, at den udefinerede tilstand aldrig kan forekomme.

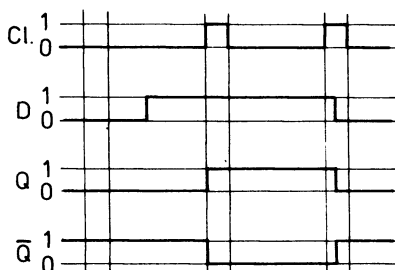
3.1 Symbol



3.2 Sandhedstabel

Indgange		Udgange	
D	C	Q	\bar{Q}
X	0	Q_n	\bar{Q}_n
1	1	1	0
0	1	0	1

3.3 Impulsplan

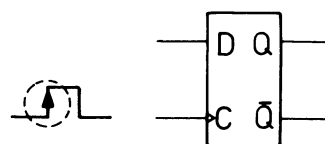


Det fremgår af impulsplanen og sandhedstabellen, at data overføres til udgangen, så længe clock-impulsen er 1. En D FF af denne type kaldes også for en data-latch.

3.4 Dynamisk clock-indgang

D FF'en findes også i en dynamisk triggeret udgave, dvs. at D-informationen overføres til Q på clock-impulsens flanke, hvorefter D-indgangen blokeres. Den har følgende symbol.

Trekanten i clock-indgangen viser, at flip-flop'en aktiveres på clock-impulsens positive flanke, 0 til 1.



3.5 Sandhedstabel for dynamisk triggeret D FF

Indgange		Udgange	
D	C	Q	\bar{Q}
X	0	Q_n	\bar{Q}_n
1	↑	1	0
0	↑	0	1

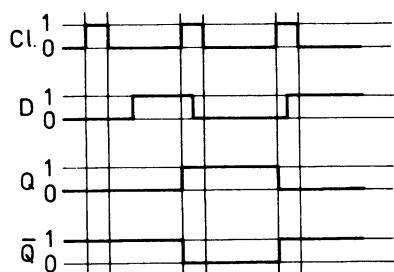
↑ Angiver, at skiftet sker på den positive flanke.

↓ Angiver, at skiftet sker på den negative flanke.

X Angiver, at input kan være 0 eller 1.



3.6 Impulsplan



Ved integrerede D flip-flop's ses det ofte, at \bar{Q} -udgangen ikke er ført ud. Grunden til dette skal søges i ønsket om at have så mange flip-flop's i samme pakning som muligt og det begrænsede antal ben, der er til rådighed, 14 eller 16.

4. JK FLIP-FLOP

Ved at foretage nogle mindre ændringer på den clock-impulsstyrede RS-FF fås en såkaldt JK-flip-flop.

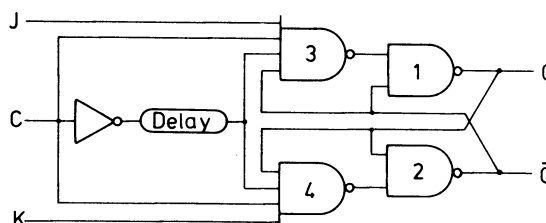
Denne adskiller sig fra RS-FF'en ved ikke at have nogen udefineret stilling.

De specielle egenskaber JK MS flip-flop'en er:

- Hvis både J og K samtidig er logisk 1, når der kommer en clock-impuls, så vil flip-flop'en skifte state.
- Hvis både J og K samtidig er logisk 0, når der kommer en clock-impuls, så vil flip-flop'en ikke skifte state. Der er derfor ingen ubestemte stillinger.

4.1 Funktion

Antag, at J og K ligger på logisk 0. Dette vil betyde, at gate 3 og 4 fortsat vil have 1 på deres udgange, når clock-impulsen kommer. FF'en bliver altså stående.



Læg nu K til 1 og J til 0. Når clock-impulsen kommer, vil gate 4 have 1 på alle sine indgange, hvorfor dens udgang vil blive 0 og sætte FF'en i stilling 0. På grund af inverteren og delaylinien i clock-indgangen vil gate 3 og 4 kun være aktive i et kort øjeblik, hvorefter der igen er spærret for J- og K-indgangene. Dvs. at når først clock-impulsen er blevet 1, kan JK-informationen ændres, uden at FF'en skifter stilling.

Til sidst lægges J og K til 1. Gate 3 og 4 vil da som eneste information have de krydsede udgangssignaler. Flip-flop'en vil derfor skifte stilling ved forkanten af hver clock-impuls, den arbejder som T-flip-flop.

T står for trigger eller toggle og hentyder til, at FF'en skifter stilling for hver clock-impuls.

Inverteren og delaylinien i clock-indgangen er nødvendige for at hindre ustabilitet, når J og K er lagt til 1, og FF'en arbejder som T-FF.



Antag, at gate 3 og 4 bliver holdt åben i længere tid. Der vil da opstå selvsving på grund af tilbagekoblingen fra udgangene til indgangene. Periodeiden vil være bestemt af gatenes propagation delay.

Det er indlysende, at det ikke kan forudsiges, i hvilken stilling flip-flop'en står, når clock-impulsen slutter.

4.2 Kanttrigging

Når JK-informationen indlæses i flip-flop'en og overføres til udgangen på clock-impulsens ene flanke, kaldes den kanttrigget eller dynamisk trigget.

I handelen findes både typer, der er positiv-kanttriggede, og negativ-kanttriggede, i modsætning til JK-master-slave flip-flop'en, der skal have en "hel" clock-impuls for at overføre JK-informationen.

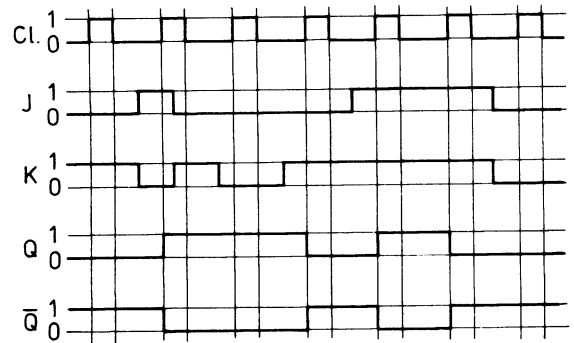
De kanttriggede flip-flop's stiller krav til clock-impulsens stige- og faldetid på grund af det indbyggede delay. Stige- og faldetiden bør ikke overstige 50 ns.

4.3 Sandhedstabel for positiv-kanttrigget JK-FF

Indgange			Udgange	
J	K	C	Q	\bar{Q}
X	X	0	Q_n	\bar{Q}_n
0	0	↑	Q_n	\bar{Q}_n
1	0	↑	1	0
0	1	↑	0	1
1	1	↑	Toggle	

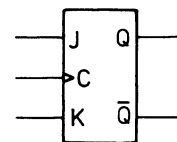
Sandhedstabellen for den bagkanttriggede JK-FF har samme indhold og udseende som den for-kanttriggede flip-flop's, blot med den forskel, at pilene i clock-impulsspalten peger nedad.

4.4 Impulsplan for positiv-kanttrigget JK-FF

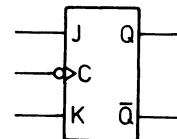


4.5 Symbol for kanttrigget JK-FF

a. Positiv-kanttrigget JK-FF



b. Negativ-kanttrigget JK-FF



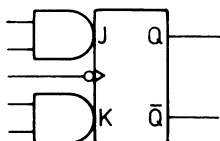


4.6 Udvidede JK-indgange

Ved mange praktiske anvendelser af JK-FF's skal JK-informationen været et produkt af flere variable.

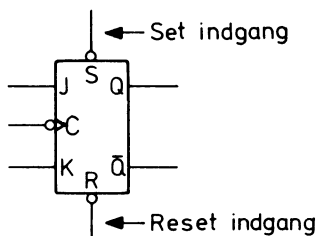
Der er derfor behov for gates i JK-indgangene. Disse kan realiseres ved hjælp af "løse" gates, men der findes JK-FF's på markedet, hvor disse gates er indbygget i kredsløbet.

En sådan JK-FF vil da have flere J- og K-indgange.



4.7 Set og reset

Ud over de allerede behandlede indgange er JK-flip-flop's ofte forsynet med en eller to ekstra indgange.



Via set-indgangen kan FF'en sættes i stilling 1, uanset hvad der er af signaler på J, K og clock-indgangene. Ligeledes kan FF'en sættes tilbage i stilling 0 ved hjælp af reset.

Hvis S- og R-indgangene er aktive ved logisk 0, angives dette ved en state-indikator.

I amerikansk litteratur kaldes set-indgangen på en JK-FF for preset-indgangen, og reset kaldes clear.

4.8 Sandhedstabel for set og reset

Indgange			Udgange	
S	R	J K	C	Q \bar{Q}
0	1	X X	X	1 0
1	0	X X	X	0 1
0	0	X X	X	undef.
1	1	X X	1	$Q_n \bar{Q}_n$
1	1	0 0	↓	$Q_n \bar{Q}_n$
1	1	1 0	↓	1 0
1	1	0 1	↓	0 1
1	1	1 1	↓	Toggle

Herover ses sandhedstabellen for en bagkantriggeret JK-FF med S- og R-indgange.

Bemærk, at der som ved en RS-FF findes en tilstand for S, R-indgangene, der er udefineret.



5. JK-MASTER-SLAVE FF

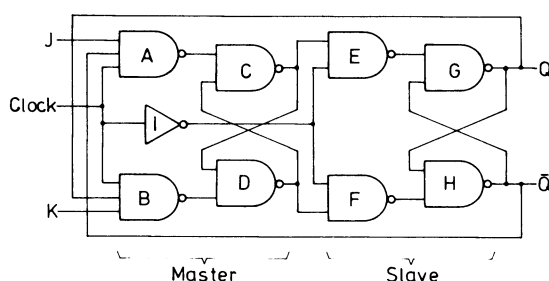
Fælles for de indtil nu behandlede flip-flop's gælder, at indgangs-informationen indlæses i FF'en og overføres til udgangen på samme tidspunkt.

Dette forhold stiller specielle krav til indgangssignalernes tids-mæssige placering i forhold til clock-impulsens aktive flanke.

Dette krav omgås ved at anvende en master-slave flip-flop.

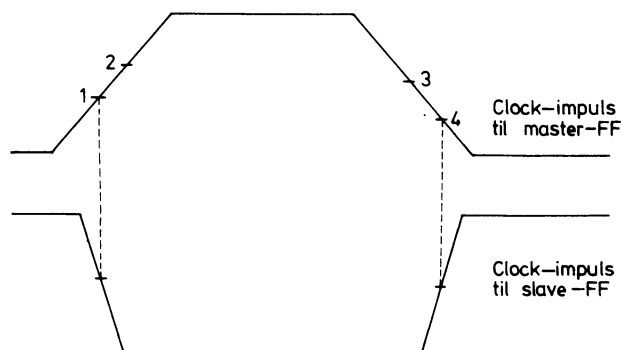
5.1 Virkemåde

Diagrammet viser en JK-master-slave flip-flop. Den kaldes sådan, fordi den består af to flip-flop's, en master og en slave.



Kredsløbet er i princippet opbygget som to serieforbundne FF's, hvor clock-impulsen til slave-FF'en er inverteret.

Betragtes clock-impulsen, er der fire punkter på den, der er vigtige.



Når clock-impulsen er 0, vil masteren være blokeret og slaven være aktiv. Det vil sige, at slaven stiller sig i samme stilling som masteren.

Begynder clock-impulsen at gå mod logisk 1, vil slave-FF'en blive blokeret allerede i pkt. 1, mens master-FF'en først aktiveres i pkt. 2.

Når clock-impulsen er nået gennem pkt. 2 og til logisk 1, kan master-FF'en stilles i den ønskede stilling ved hjælp af J- og K-indgangene.

I pkt. 3 blokeres masteren atter, hvorfor JK-indgangene er virningsløse.

I pkt. 4 aktiveres slave-FF'en atter, hvorved masterens information overføres til udgangen.

I de fire punkter sker altså følgende:

1. Slave-FF'en blokeres.
2. Informationen fra JK-indgangene overføres til master-FF'en.
3. Master-FF'en blokeres for JK-informationen.
4. Slave-FF'en aktiveres, og informationen overføres til slave-FF'en.



5.2 Sandhedstabel JK-MS flip-flop

Sandhedstabellen for en JK-master-slave-FF har samme udseende som tabellen for en kantriggeret JK-FF, blot vil det ofte på en eller anden måde fremgå, at FF'en skal have en "hel" clock-impuls for at fungere.

F.eks. således:

Clock:

Sandhedstabellen kan f.eks. se således ud:

54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

FLIP-FLOPS ... LOGIC AND PIN ASSIGNMENTS (TOP VIEWS)

72

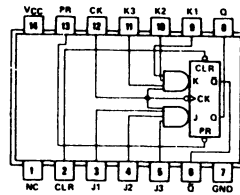
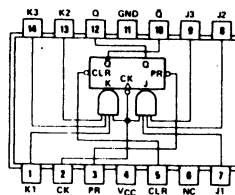
AND-GATED J-K MASTER-SLAVE FLIP-FLOPS WITH PRESET AND CLEAR

FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	J K	Q	\bar{Q}
L	H	X	X X	H	L
H	L	X	X X	L	H
L	L	X	X X	H*	H*
H	H	\downarrow	L L	Q ₀	\bar{Q}_0
H	H	\downarrow	H L	H	L
H	H	\downarrow	L H	L	H
H	H	\downarrow	H H	TOGGLE	

positive logic: J = J1·J2·J3; K1·K2·K3

See pages 120, 124, and 128

SN5472/SN7472(J, N)
SN54H72/SN74H72(J, N)
SN54L72/SN74L72(J, N)SN5472/SN7472(W)
SN54H72/SN74H72(W)
SN54L72/SN74L72(T)

NC - No internal connection

73

DUAL J-K FLIP-FLOPS WITH CLEAR

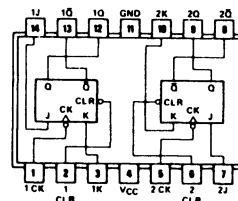
'73, 'H73, 'L73
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J K		Q	\bar{Q}
L	X	X X		L	H
H	\downarrow	L L		Q ₀	\bar{Q}_0
H	\downarrow	H L		H	L
H	\downarrow	L H		L	H
H	\downarrow	H H		TOGGLE	

See pages 120, 124, 128, and 130

'LS73
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J K		Q	\bar{Q}
L	X	X X		L	H
H	\downarrow	L L		Q ₀	\bar{Q}_0
H	\downarrow	H L		H	L
H	\downarrow	L H		L	H
H	\downarrow	H H		TOGGLE	
H	H	X X		Q ₀	\bar{Q}_0

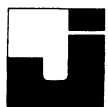
SN5473/SN7473(J, N, W)
SN54H73/SN74H73(J, N, W)
SN54L73/SN74L73(J, N, T)
SN54LS73/SN74LS73(J, N, W)

H = high level (steady state), L = low level (steady state), X = irrelevant

 \downarrow = high-level pulse; data inputs should be held constant while clock is high; data is transferred to output on the falling edge of the pulse. \uparrow = transition from low to high level, \downarrow = transition from high to low levelQ₀ = the level of Q before the indicated input conditions were established.

TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.

*This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.



5.3 Data-lockout

JK-master-slave FF'en fås i en speciel udgave, hvor det kun er muligt at overføre JK-information til masteren på clock-impulsens positive flanke, hvorefter JK-indgangene igen er blokerede. Informationen overføres som normalt til udgangen på clock-impulsens negative flanke.

En JK-master-slave FF med data-lockout er altså flanketrigget, og en "almindelig" JK-master-slave FF er niveau-trigget.

Denne egenskab kan ikke læses af symbolet i Mil. standard, men skal findes i databladet.

Eksempel :

110

AND-GATED J-K MASTER-SLAVE FLIP-FLOPS WITH DATA LOCKOUT

FUNCTION TABLE						
INPUTS				OUTPUTS		
PRESET	CLEAR	CLOCK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\downarrow	L	L	Q_0	\bar{Q}_0
H	H	\downarrow	H	L	H	L
H	H	\downarrow	L	H	L	H
H	H	\downarrow	H	H	TOGGLE	

positive logic: J = J1•J2•J3
K = K1•K2•K3

See page 120

SN54110/SN74110(J, N, W)

NC—No internal connection

111

DUAL J-K MASTER-SLAVE FLIP-FLOPS WITH DATA LOCKOUT

FUNCTION TABLE						
INPUTS				OUTPUTS		
PRESET	CLEAR	CLOCK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\downarrow	L	L	Q_0	\bar{Q}_0
H	H	\downarrow	H	L	H	L
H	H	\downarrow	L	H	L	H
H	H	\downarrow	H	H	TOGGLE	

See page 120

SN54111/SN74111(J, N, W)

H = high level (steady state), L = low level (steady state), X = irrelevant, \downarrow = transition from low to high level
 \downarrow = high-level pulse; while the clock is high, changes at the J and K inputs after the specified hold time have no effect. Data is transferred to output on the falling edge of the pulse.
 Q_0 = the level of Q before the indicated input conditions were established.
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.





ASYNKRONE TÆLLERE/DELERE

Flip-flop's sammensat til tæller-kredsløb findes i næsten ethvert slags digitalt udstyr.

De bruges ikke kun til impuls-tælling, men også til at styre tidssekvenser i digitaludstyr, samt til deling af en given frekvens.

Principielt er en tæller et hukommelseskredsløb, idet den "husker", hvor mange clock-impulser der tilføres input.

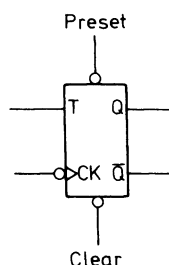
Tællerforløbet eller -koden afhænger af behovet i det givne udstyr. Den mest anvendte tællerkode anvender det binære talsystem, f.eks. 8421 BCD-koden, til en dekadetæller. De mest almindelige tællerkredsløb findes i integreret udførelse fra diverse halvleder-fabrikanter.

T flip-flop

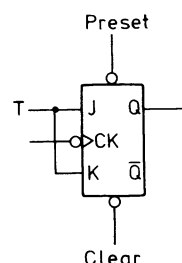
En meget anvendt flip-flop til asynkrone tællere er T flip-flop'en, denne fremstilles ikke specielt, men opbygges af RS-, D- eller JK-flip-flop

Af sandhedstabellen for T flip-flop'en ses, at Q-udgangen skifter til modsatte stilling på hver clock-impuls, hvis $T = 1$.

t_n	t_{n+1}
T	Q
0	Q_n
1	\bar{Q}_n



Denne funktion kan let fremstilles med en JK-FF, idet J- og K-indgangene blot skal sammenlægges.

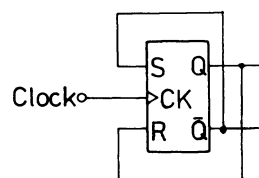


t_n		t_{n+1}
J	K	
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

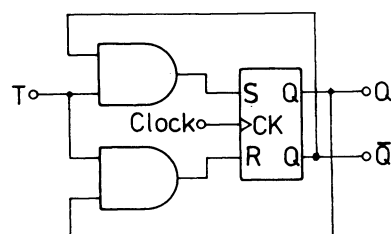
Anvendes ikke da $J = K$

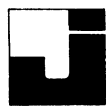
T-FF'en kan også fremstilles af RS- og D-FF:

a. Toggle-funktion.

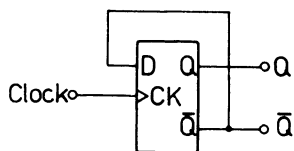


b. Toggle-funktion med T-indgang.

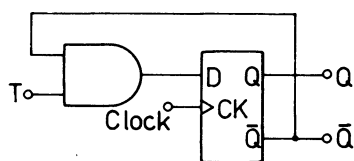




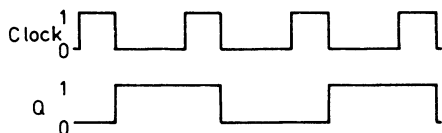
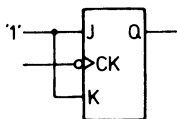
c. Toggle-funktion.



d. Toggle-funktion med T-indgang.



Antag, at vi forbinder både J og K til 1 permanent, vi vil så få følgende impulsdiagram:

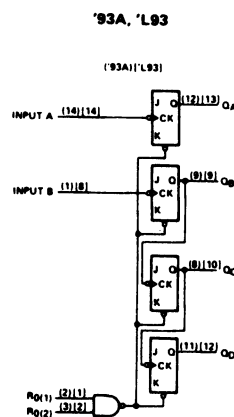


Det kan ses, at indgangsfrekvensen er delt med 2. Hvis vi nu forbinder outputtet fra denne flip-flop til endnu en JK flip-flop forbundet på samme måde, vil clock-frekvensen være delt med 4. Dette kan vi fortsætte med i det uendelige.

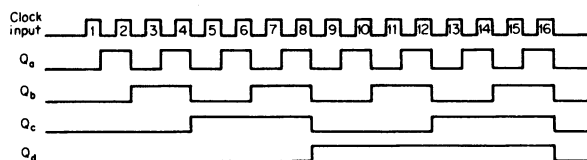
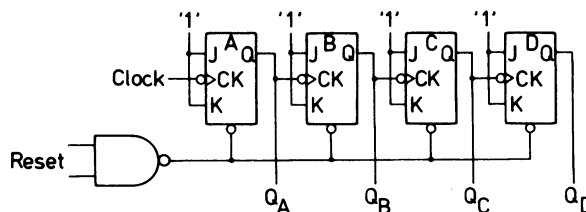
Asynkron 4-bittæller med SN7493

SN7493 er et tæller kredsløb med 4 stk. JK-FF, indvendigt er alle J- og K-indgange ført til logisk "1".

B, C og D FF'en er sammenkoblet indvendigt, A FF'en sammenkøbes med de tre andre udvendigt.



Diagrammet viser SN7493 sammenkoblet til en 4-bittæller med tilhørende impulsdiagram og sandhedstabel.



Læg mærke til, at flip-flop'ernes state i tælleren udgør en binær talfølge, hvor A-FF'en tæller 1'ere, B-FF'en tæller 2'ere, C-FF'en tæller 4'ere og D-FF'en 8'ere.



Input	Output			
Clock-impulsnr.	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Tælleren vender tilbage til 0 (0000) efter tallet 15 (1111) og begynder så forfra. For en tæller med N trin er det maksimale binære tal ($2^N - 1$), dvs. for en 6-trins tæller vil det sige ($2^6 - 1$) = (64 - 1) = 63 (111111₂).

Asynkrone tællere kaldes ofte "bølge-" eller "ripple-tællere", da data går som en bølge igenem tælleren.

Den her beskrevne tæller kaldes en "op-tæller", fordi den tæller op fra 0. Det er også muligt at fremstille en "ned-tæller", dvs. en som tæller ned fra det maksimale binære tal til 0.

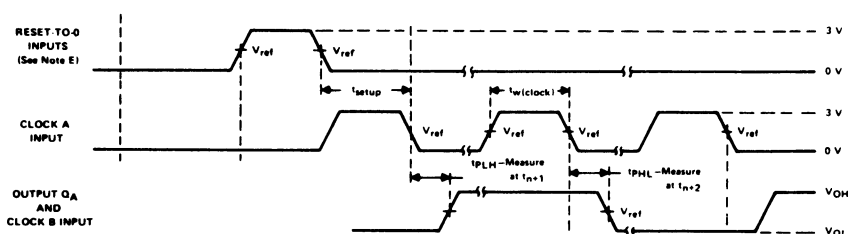
Propagation delay time og f_{max}.

Fra det tidspunkt, hvor clock-impulsen går i negativ retning til en flip-flop-skifter på udgangen, går der en kort tid, dette tidsrum kaldes "propagation delay time".

t_{PLH} er propagation delay time for et skift på udgangen fra "low" til "high".

t_{PHL} er propagation delay time for et skift på udgangen fra "high" til "low".

Impulsplan og tider på SN7493:



switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER [†]	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'90A			'92A			'93A			UNIT
f _{max}	A	Q _A	C _L = 15 pF, R _L = 400 Ω,	32	42		32	42		32	42		MHz
	B	Q _B		16			16			16			
t _{PLH}	A	Q _A		10	16		10	16		10	16		ns
t _{PHL}	A	Q _A		12	18		12	18		12	18		
t _{PLH}	A	Q _D		32	48		32	48		46	70		ns
t _{PHL}	A	Q _D		34	50		34	50		46	70		
t _{PLH}	B	Q _B		10	16		10	16		10	16		ns
t _{PHL}	B	Q _B		14	21		14	21		14	21		
t _{PLH}	B	Q _C		21	32		10	16		21	32		ns
t _{PHL}	B	Q _C		23	35		14	21		23	35		
t _{PLH}	B	Q _D		21	32		21	32		34	51		ns
t _{PHL}	B	Q _D		23	35		23	35		34	51		
t _{PHL}	Set-to-0	Any		26	40		26	40		26	40		ns
t _{PLH}	Set-to-9	Q _A , Q _D		20	30								
t _{PHL}	Set-to-9	Q _B , Q _C		26	24								ns

[†]f_{max} = maximum count frequency

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

Af skemaet se, at de typiske propagation delay tider for A-FF'en i SN7493 er:

$$t_{PLH} = 10 \text{ ns}$$

$$t_{PHL} = 12 \text{ ns}$$

Propagation fra A-indgangen til Q_D ved et skift fra 0111 til 1000 er:

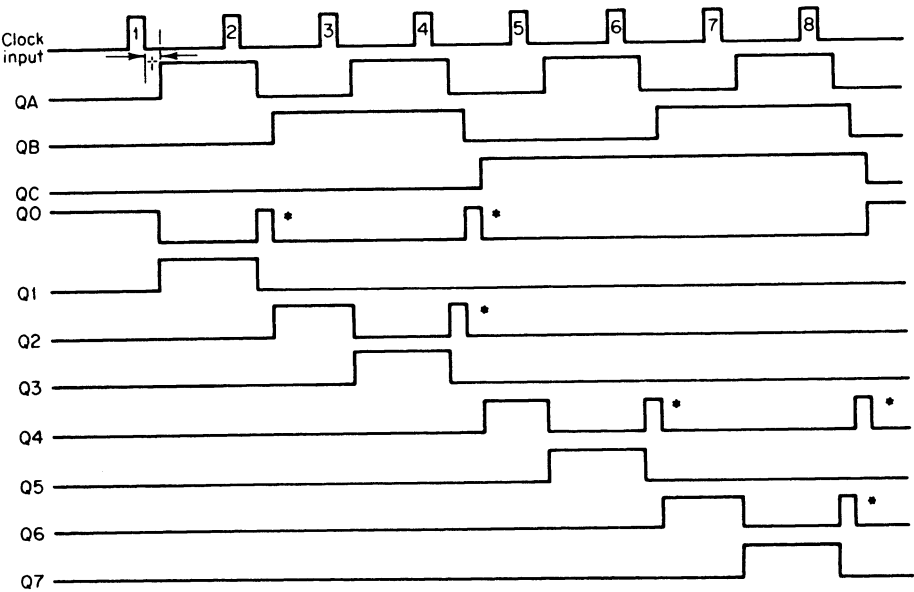
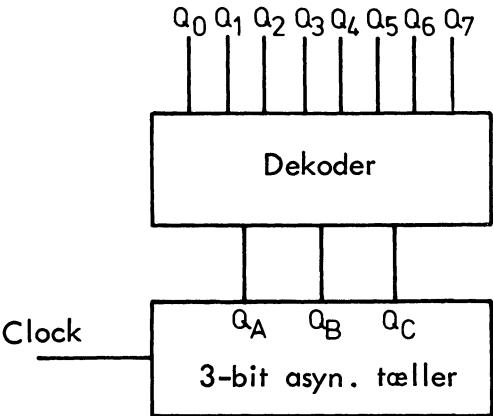
$$t_{PLH} = 46 \text{ ns}$$

Propagation fra A-indgangen til Q_D ved et skift fra 1111 til 0000 er:

$$t_{PHL} = 46 \text{ ns}$$

Når værdierne i en asynkron tæller skal dekodes, vil der optræde "falske" impulser på output af dekoderen, idet propagation delayet forårsager falske værdier i korte tidsrum.

Impulsplanen for en 3-bit asynkron tæller med dekoder vil se således ud ved "forstørret" propagation delay.



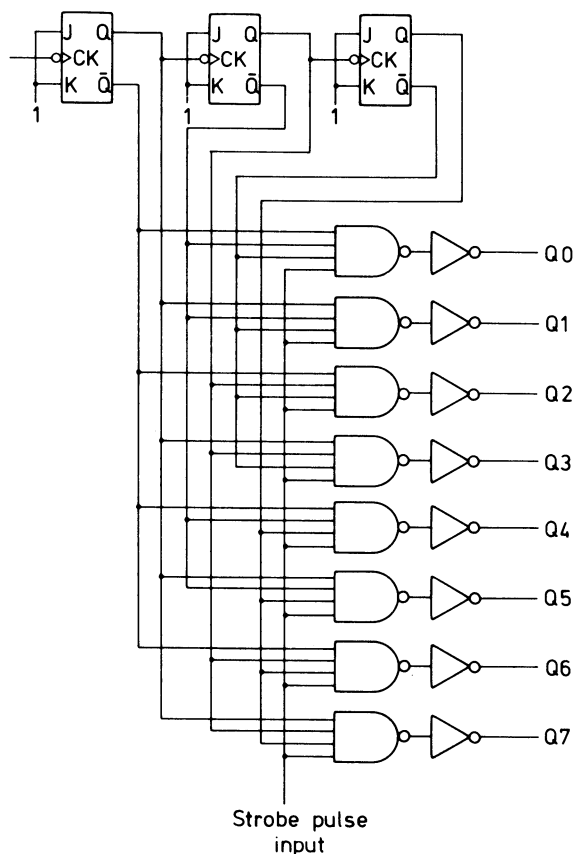
* udlæste falske værdier.



Dekoderen kan forsynes med en strobe, der kun åbner for dekodere, når alle multivibratorer i tælleren er skiftet.

Eksempel:

3-bittæller, dekoder med strobe.



Den maksimale frekvens, en tæller kan klare, kan findes ved:

$$\frac{1}{f} \leq N \cdot T_p + T_s$$

hvor:

N er antallet af flip-flop's.

T_p er propagation delay i en flip-flop.

T_s er bredden af den dekodede output-impuls.

Eksempel:

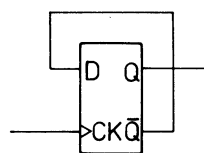
Find $f_{maks.}$ for en asynkron tæller med 4 FF, der hver har en $T_p = 12 \text{ ns}$, den nødvendige T_s er 45 ns.

$$\frac{1}{f} \geq (4 \cdot 12 + 45) \text{ ns}$$

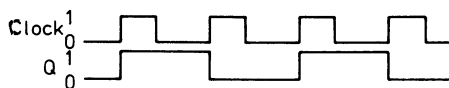
$$f_{maks.} \leq \frac{1}{93 \text{ ns}} = 10,75 \text{ MHz}$$

Kanttrigget D flip-flop-tæller

Den kanttriggede D flip-flop kan også anvendes til asynkrontælling, hvis den forbindes som vist.



Flip-flop'en vil altid skifte på forkanten af clock-impulsen. Skiftereglerne for D flip-flop'en er, at Q-udgangen altid vil følge D-indgangens information på forkanten af clock-impulsen. Da \overline{Q} -udgangen altid har modsat state af Q, vil Q-udgangen skifte state på forkanten af hver clock-impuls.

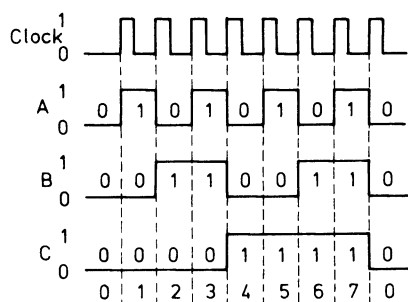
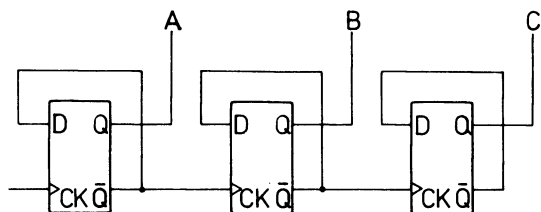


Som vi ser, får vi også her en deling af clock-frekvensen med 2 som med JK flip-flop'en, dog sker skiftet her på forkanten.

Det vil sige, hvis vi forbinder Q til CK, får vi en nedtæller, og forbinder vi \overline{Q} til CK, får vi en optæller.



Diagram og impulsforløb viser en 3-bit binær optæller med kantriggede D flip-flop's.



N-deler med preset

I en N-deler findes der N forskellige udgangskombinationer.

Eksempel :

En 10-deler har 10 udgangskombinationer :

0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
<hr/>	
0	0000

En deler med et vilkårligt delerforhold (N) kan opbygges efter følgende retningslinier, hvis de anvendte flip-flop's har preset.

a. Find antallet af flip-flop's (n), der skal bruges :

$$2^{n-1} < N \leq 2^n$$

b. Forbind alle FF til en asynkron tæller.

c. Find det binære tal N - 1.

d. Forbind alle Q-udgange, hvis output er "1" på værdien N - 1 til input på en NAND-gate. Tilfør også clock-impulsen til NAND-gaten

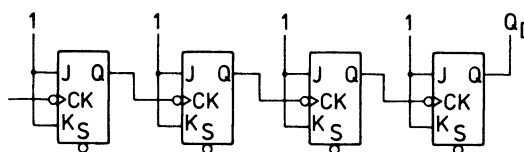
e. Forbind output fra NAND-gaten til preset input på alle FF, der har "0" på Q-udgangen på værdien N - 1.

Eksempel :

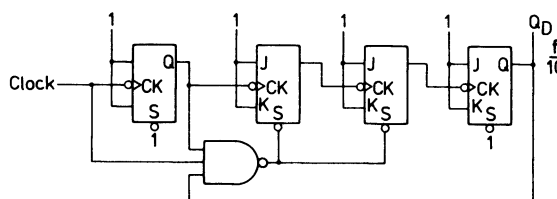
N = 10, find kredsløbet.

a. $2^3 < 10 < 2^4$, n = 4

b.



c. $N - 1 = 9_{10} = 1001_2$



Deleren resetter som følger :

På den positive flanke af den 10. clock-impuls presettes alle FF til 1, på den negative flanke af clock-impulsen skifter alle FF til 0.

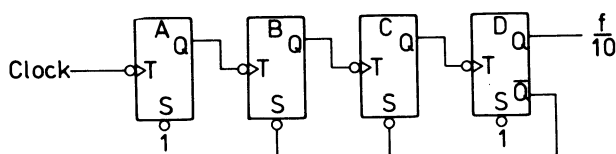


10-deler med tilbagekobling

En meget anvendt deler er 10-deleren, dekadetælleren.

Når sådan en deler skal laves, vælges et kredsløb, der deler til større tal end det, man skal bruge. Ved hjælp af tilbagekobling ændres deleren til det ønskede modul.

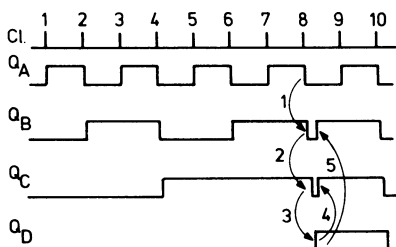
Her anvendes derfor en 16-deler med tilbagekobling.



Når man kigger på impulsplanen, ses, at forløbet foregår normalt op til 8. clock-impuls. Denne vil få flip-flop D til at skifte fra 0 til 1. Dette skift hentes fasevendt ud på FF D's anden udgang og føres tilbage til FF B og FF C, som derved begge skifter fra 0 til 1.

Herefter foregår resten af forløbet ganske normalt, og den 10. clock-impuls sætter alle flip-flop's tilbage i stilling 0.

Dvs. for 10 indgangsimpulser har man på FF D's udgang 1 negativgående impuls.



Modul N-tæller med reset

I en modul N-tæller findes der N forskellige udgangskombinationer, den største værdi, der kan udlæses af tælleren, er $N - 1$.

Eksempel:

En modul 12-tæller har 12 udgangskombinationer:

0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
10	1010
11	1011
12	0000

Det største tal, tælleren viser, er $11_{10} = 1011_2$, på den 12. clock-impuls går tælleren på $0000_2 = 0_{10}$.

En modul N-tæller kan opbygges efter følgende retningslinier, hvis de anvendte FF har resetindgang.

- Find antallet (n) af flip-flop's, der skal bruges.

$$2^{n-1} < N \leq 2^n$$

- Forbind alle FF til en asynkron tæller.

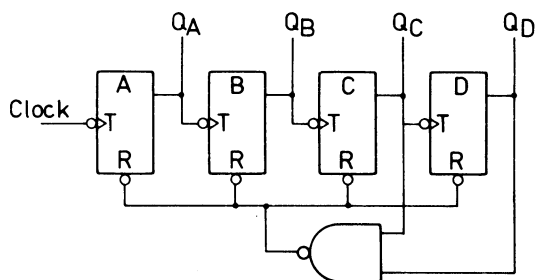
- Find det binære tal N.

- Forbind alle flip-flop outputs, der er "1" på tallet N til input på en NAND-gate, forbind NAND-gate output til reset på tælleren.



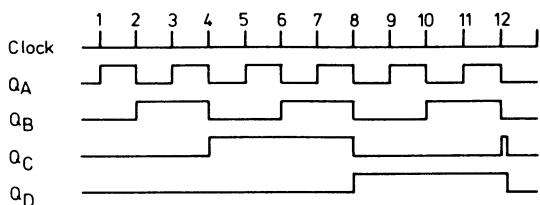
Eksempel :

Modul 12-tæller



	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
<hr/>				
0	1/0	1/0	0	0

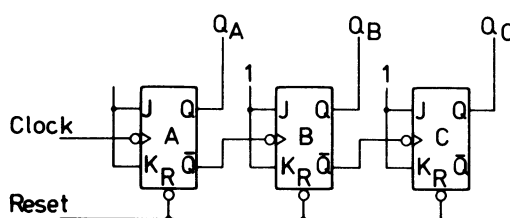
Når tælleren 1100, resettes den, dvs. at tælleren i et ganske kort tidsrum står i stilling 1100.



Asynkron ned-tæller

De indtil nu viste tællere har alle talt op fra 0, dette kaldes en op-tæller.

Imidlertid kan en ned-tæller også fremstilles ved at forbinde \overline{Q} -udgangen på en FF til clock-indgangen på den næste FF.



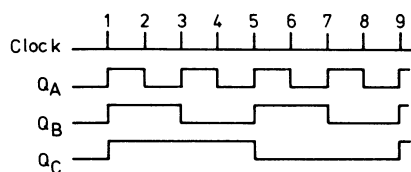
Efter reset står alle FF på 0. På bagkanten af 1. clock-impuls skifter FF - A, herved sker et skift på \overline{Q}_A fra 1 \rightarrow 0, dette skift tilføres clockindgangen på FF - B, som herved skifter

Når FF - B skifter, går \overline{Q}_B fra 1 \rightarrow 0, dette skifter FF - C, som derefter skifter FF - D.

Efter 1. clock-impuls står der $111_2 = 7_{10}$ i tælleren. På bagkanten af 2. clock-impuls skifter kun FF - A.

Efter 2. clock-impuls står der $110_2 = 6_{10}$ i tælleren.

Nedtællingen fortsætter på de følgende clock-impulser, indtil 000 nås, derefter starter sekvensen igen.





SYNKRONE TÆLLERE

Den asynkrone tæller havde en propagation delay for hvert bit fra et trin til det næste, som resulterede i akkumulering af propagation delay i den sidste del af tælleren.

I synkrontællere skifter alle trin samtidig, når der tilføres en clock-impuls.

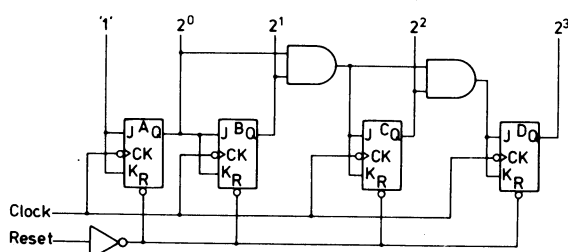
F.eks. vil en asynkron tæller skifte et bit ad gangen, 0111 til 1000, det betyder, at det tager fire gange så lang tid for en 4-bit asynkron tæller at foretage dette skift, som for en synkron, hvor alle skifter på en gang. Dette gælder, selvom der anvendes uendelige mange trin.

Fordelene ved synkrone tællere er mange, ud over den ringe propagation delay kan enhver sekvens fremstilles.

Der skal dog anvendes en del mere styrelogik end ved de asynkrone, og design-proceduren er mere omstændig, hvis antallet af count ikke er en potens af 2.

Modul 16 synkron op-tæller

Den mest simple synkrontæller er en ren binær op-tæller som vist.



En JK flip-flop vil blive i sit state, når en clock-impuls kommer, hvis både J og K er på logisk 0. Hvis både J og K er på logisk 1, vil flip-flop'en skifte state, når clock-impulsen kommer.

2^0 bit'et vil have J og K på logisk 1 altid, hvorfor den vil skifte state på bagkanten af hver clock-impuls.

2^1 bit'et skifter state, når 2^0 bit'et er 1.

Ligeså vil 2^2 bit'et skifte state på hver clock-impuls, når 2^0 og 2^1 er på 1.

2^3 bit'et skifter state på clock-impulsen, når 2^0 og 2^1 er 1.

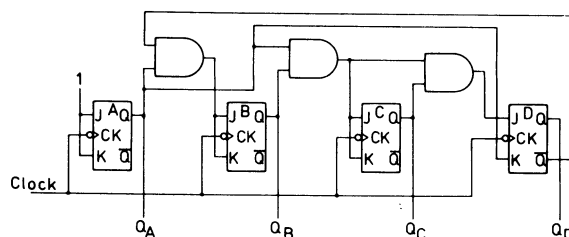
Da tælleren er synkron, er der fælles clock, og alle forberedte flip-flop'er skifter samtidig.

Synkrone dekadetællere

Den synkrone dekadetæller er meget anvendt på grund af en større tællerhastighed end en asynkron dekadetæller.

Ved dekodning er det ikke nødvendigt at bruge en dekode med strobe, idet alle FF skifter på samme tid.

Diagram af en modul 10, 8421 BCD tæller.



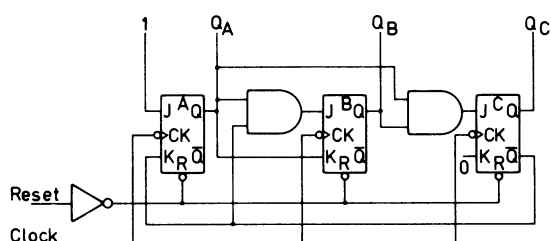


Selvstændsende tællere

I stedet for at have en tæller, der går til 0, når den har talt til et bestemt antal, er det somme tider nødvendigt at få den til at stoppe og vente på et reset-signal.

Som eksempel på en selvstændsende vises en modul 6-tæller, der tæller fra 000 → 101, på den 6. og følgende clock-impulser bliver tælleren stående på 101 indtil reset.

Diagram af modul 6 selvstændsende tæller.



Synkron op-/ned-tæller

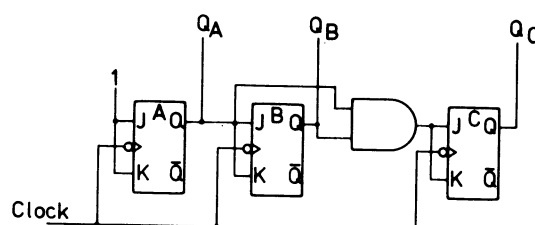
De indtil nu gennemgående synkron tællere har talt op fra en binær værdi til en større værdi.

En synkron tæller kan imidlertid også kobles til at tælle ned fra en binær værdi til en mindre værdi.

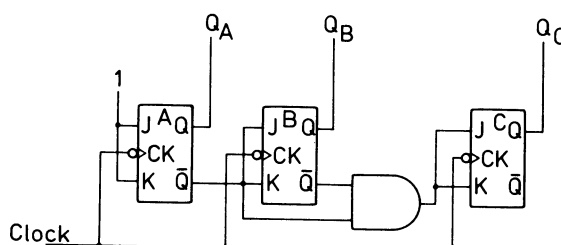
Det er også muligt at koble en tæller således, at den styret af et kontrolkredsløb enten tæller op eller ned. En sådan tæller kaldes en "Up/down counter".

Sammenligner man en op-tæller med en ned-tæller, ses det, at forbindelserne til J- og K-indgangene på op-tælleren styres fra Q-udgangene på de foregående FF, på ned-tælleren styres J og K fra \bar{Q} -udgangene.

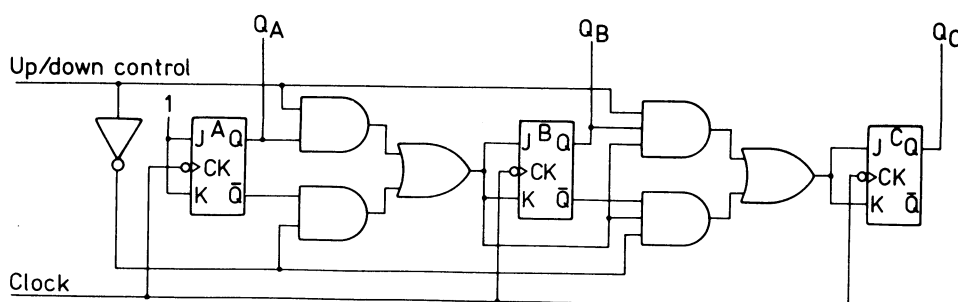
Modul 8 op-tæller.



Modul 8 ned-tæller.



De to tællere kan kombineres, hvis der indføres et kontrolkredsløb med AND/OR-gates.

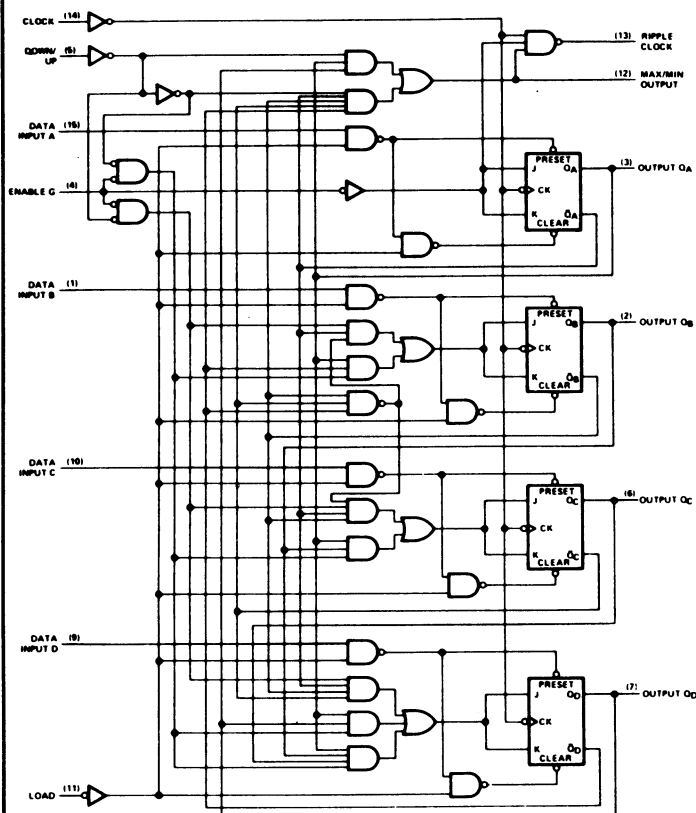




PROGRAMMERBARE SYNKRONE

TÆLLERE/DELERE

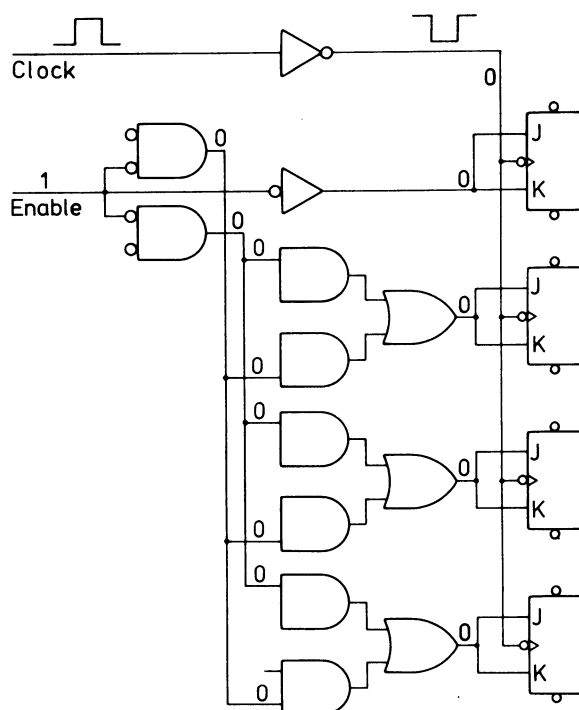
SN74191



SN74191 er en synkron op/ned modul 16-tæller.

Q-udgangene på de fire FF skifter, når clock-impulsen går $0 \rightarrow 1$, hvis "Enable" er tilført "0". En "1" på "Enable" stopper tælling.

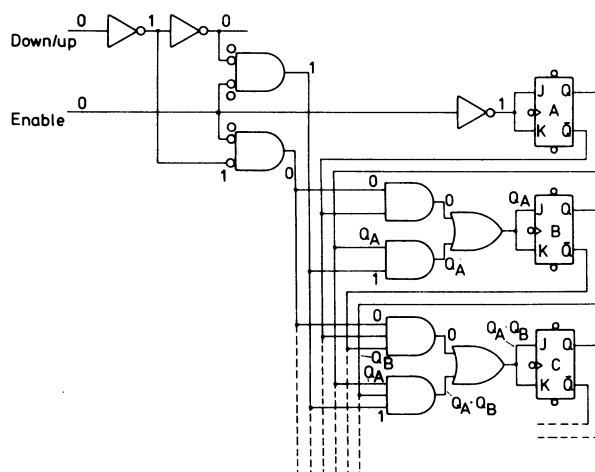
Input til "Enable" og "Down/up" må kun skiftes, medens clock-impulsen er "1".



Når "Enable" tilføres "1", bliver alle J og K tilført "0". Information på J og K indlæses i de fire FF på skiftet $1 \rightarrow 0$ på clock-impulsen.

Tællerretningen bestemmes af niveauet på "Down/up" input. Med "0" på "Down/up" tæller kredsløbet op, og med "1" på "Down/up" tæller kredsløbet ned.

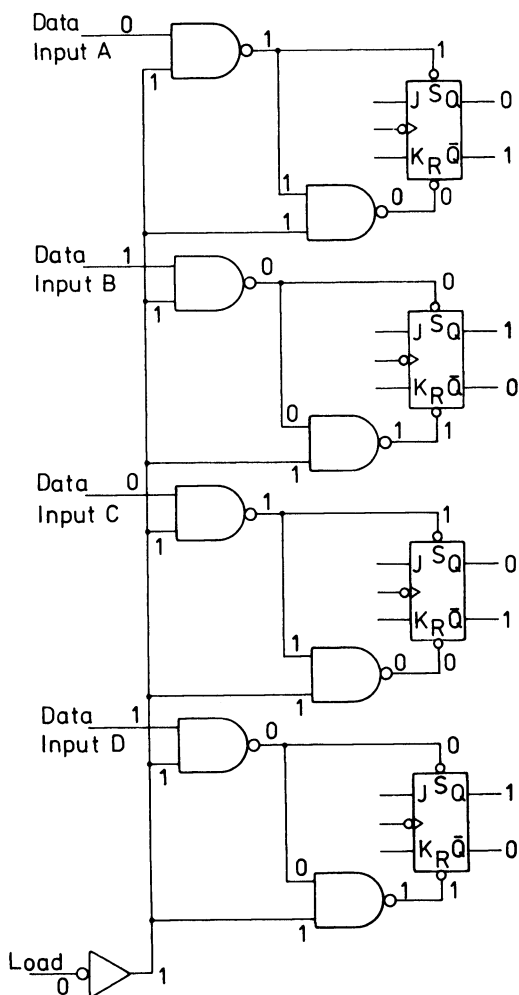
På diagramudsnittet er vist de logiske niveauer ved "up".



Kredsløbet kan programmeres a-synkron, dvs. at niveauerne på "DATA INPUT A..... INPUT D" indlæses i de fire FF, når input på "LOAD" er "0", dette sker uafhængigt af alle andre input.

Preset (S) og clear (R) har prioritet fremfor andre indgange.

På diagramudsnittet er vist programmering af 1010.



Kredsløbet er forsynet med et "ripple clock" og et "maks./min." output.

"Maks./min." udgangen giver high impuls ud ved skift fra 1111 → 0000 og ved skiftet 0000 → 1111. Det booleske udtryk for "maks./min." er :

$$\text{Maks./min.} =$$

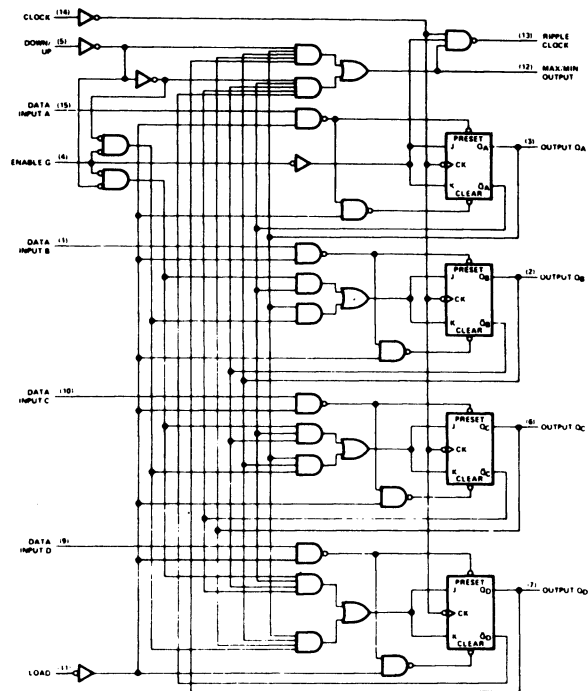
$$(Q_A \cdot Q_B \cdot Q_C \cdot Q_D \cdot \text{down/up})$$

$$(\bar{Q}_A \cdot \bar{Q}_B \cdot \bar{Q}_C \cdot \bar{Q}_D \cdot \text{down/up})$$

Det booleske udtryk for "ripple clock" er :

$$\text{Ripple clock} =$$

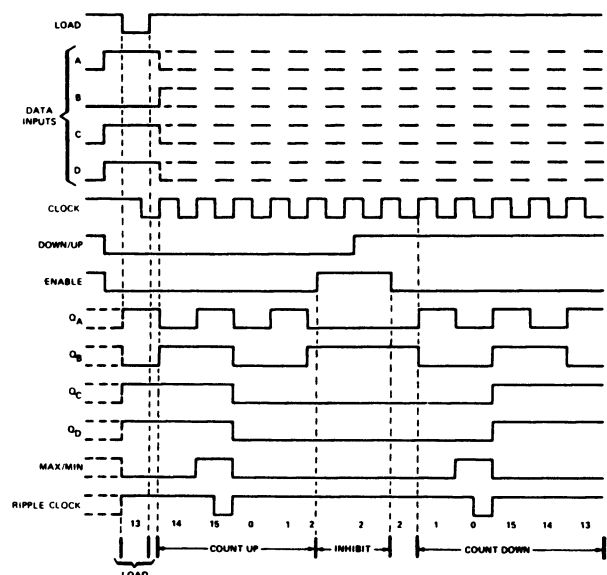
$$\text{maks./min.} \cdot \text{Enable} \cdot \text{clock}$$



typical load, count, and inhibit sequences

Illustrated below is the following sequence:

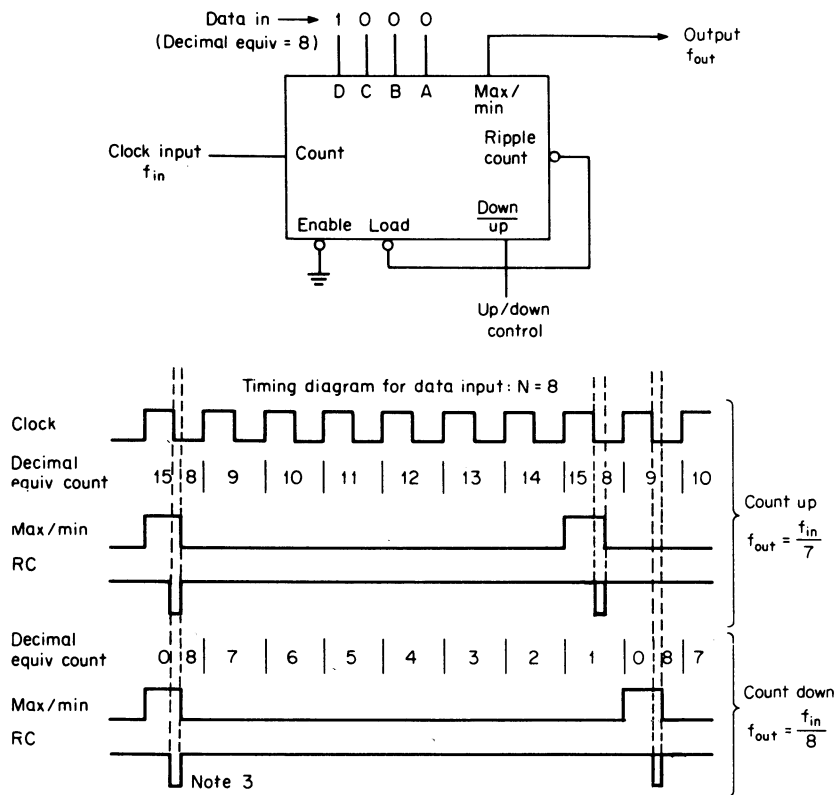
1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit.
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen.





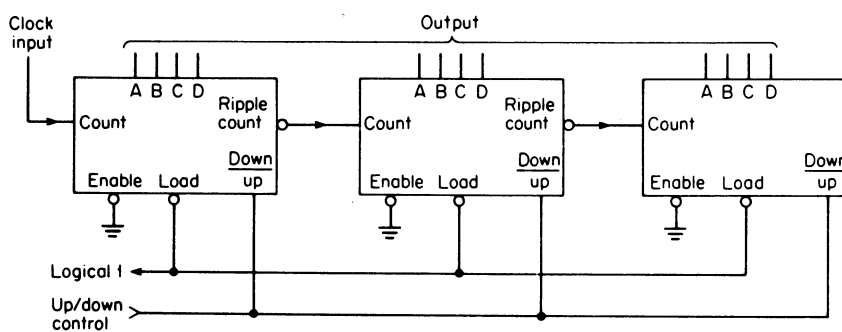
Kredsløbseksempler med SN74191

a. Divide-by-N

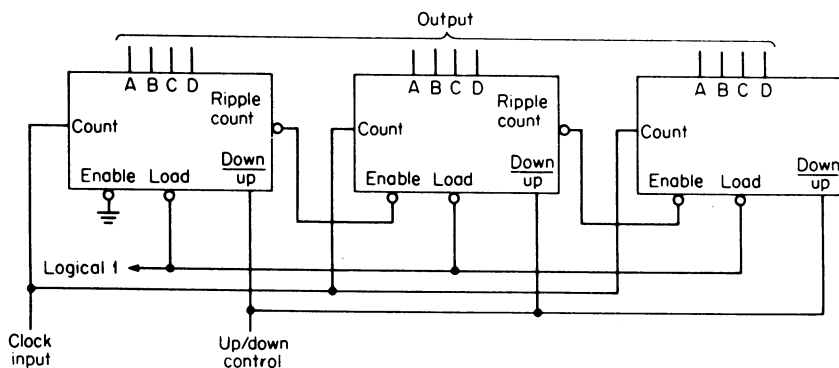


- Notes:
1. For a down count: $f_{out} = \frac{f_{in}}{N}$ for $1 \leq N \leq 15$, where N is the data input
 2. For an up count: $f_{out} = \frac{f_{in}}{15-N}$ for $0 \leq N \leq 14$, where N is the data input
 3. The RC pulse is typically 30 ns wide

b. Asynkron tæller



c. Synkron tæller





TÆLLERE MED SKIFTEREGISTRE

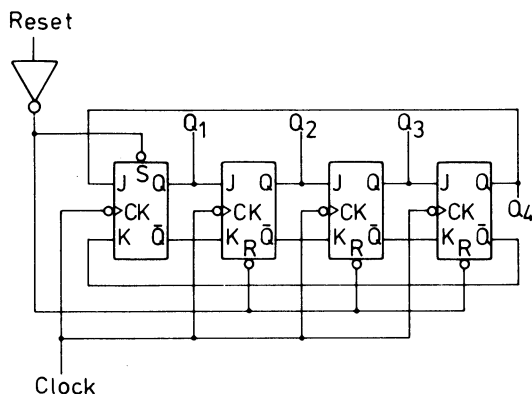
Det er tidligere vist, at et skifteregister kan anvendes til recirkulation af data ved tilførsel af clock-impulser. Dette princip kan også anvendes til tællere.

Ringtæller

Den mest simple af skifteregistertællerne kaldes en ringtæller.

Ringtælleren indeholder kun en 1'er eller 0'er, som cirkulerer. Antallet af forskellige kombinationer er lig med antallet af trin. Ringtælleren er god i kredsløb, hvor hvert tal skal sætte en operation i gang.

Da kun et output ad gangen er logisk 1 til enhver tid, behøver ingen ekstra logik for at dekode tællerens output.



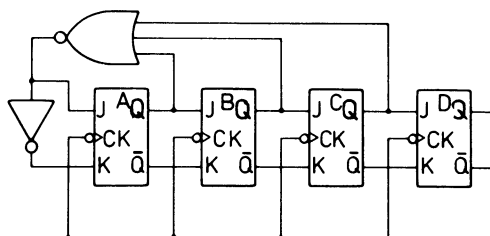
Læg i diagrammet mærke til, at reset input vil resette Q_2 , Q_3 og Q_4 , men vil sætte $Q_1 = 1$. Denne 1'er vil cirkulere, når clock-impulsen bliver tilført.

Sandhedstabel :

Clock	Q_1	Q_2	Q_3	Q_4
1	1	0	0	0
2	0	1	0	0
3	0	0	1	0
4	0	0	0	1
5	1	0	0	0

Johnson tællere

Hvis direkte set og reset indgange ikke er til rådighed for at give tælleren sin begyndelsesstilling, er det nødvendigt at anvende gates.



NOR-gaten giver 0 på indgangen af første trin, hvis en af udgangene A, B eller C er på logisk 1.

Derfor bliver der indlæst et 0 i tælleren, indtil A, B og C alle er 0, når der tilføres clock-impulser.

En 1'er bliver så indlæst efterfulgt af tre 0'er, medens 1'eren skiftes gennem de tre første trin, fulgt igen af en 1'er fra NOR-gaten, når A, B og C alle er 0, og dette fortsætter.

Tællersekvensen kan gøres længere ved at modificere tilbagekoblingen.



Switch tail ringtæller

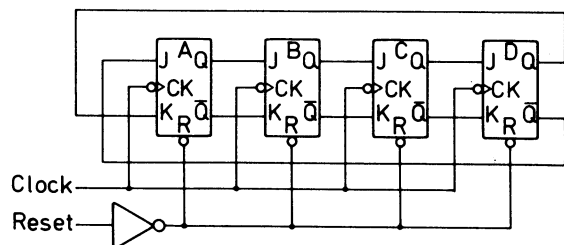
Den letteste modifikation er at invertere sidste trins outputs og så føre dem til første trin.

Dette er det samme som at forbinde Q til K og \bar{Q} til J, som vist på diagrammet.

Den kaldes en switch tail ringtæller og er en speciel type Johnson tæller.

Tællerens modul, antal kombinationer, er $2N$, hvor N er antallet af flip-flop.

Her vises diagram:



Tælleren giver følgende sandhedstabel, hvis den startes fra reset (0000).

Clock-impuls	A	B	C	D	Output decoding
0	0	0	0	0	$\bar{A} \bar{D}$
1	1	0	0	0	$A \bar{B}$
2	1	1	0	0	$B \bar{C}$
3	1	1	1	0	$C \bar{D}$
4	1	1	1	1	$A D$
5	0	1	1	1	$\bar{A} B$
6	0	0	1	1	$\bar{B} C$
7	0	0	0	1	$\bar{C} D$

Output'et af switch tail tælleren kan let dekodes til decimalværdi ved hjælp af 2 input AND gates. De booleske udtryk står til højre for sandhedstabellen.

Hvis den her viste switch tail/Johnson ringtæller ikke bliver reset, før der tilføres clock-impulser, er der ingen sikkerhed for, at den starter på (0000), den kan lige så let starte på en hvilken som helst anden kombination.

Eksempelvis kan den starte på kombinationen (0010), og tælleren vil da følge denne sekvens.

A	B	C	D
0	0	1	0
1	0	0	1
0	1	0	0
1	0	1	0
1	1	0	1
0	1	1	0
1	0	1	1
0	1	0	1
0	0	1	0

Tælleren vil være fastlåst i denne sekvens, hvis vi ikke griber ind. Skal det her skitserede forløb forhindres, må vi udvide tilbagekoblingen.



DISPOSITION

1. Summationskobling
2. R-2R kobling
3. Praktiske forhold

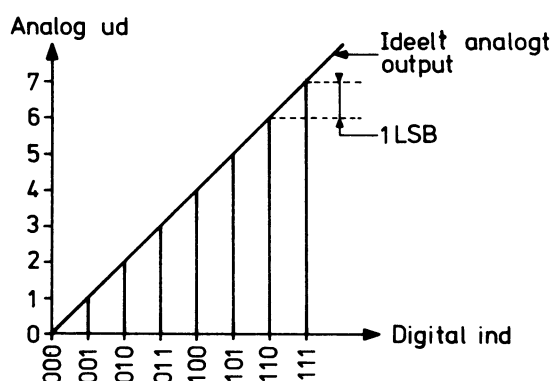
1. SUMMATIONSKOBLING

Sammen med udviklingen af digitalteknikken opstod der naturligt et behov for at kunne konvertere et digitalt signal til analogform og omvendt.

I tidens løb er der udviklet et stor antal forskellige kredsløb, hvoraf nogle digital/analog-konvertere bliver gennemgået i det følgende.

1.1 Overføringsfunktion

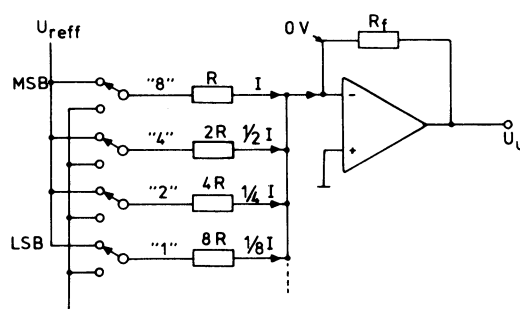
En 3-bit binær kode har otte forskellige kombinationer, der skal modsvares af otte forskellige analoge spændingsniveauer. Da der med en 3-bit kode ikke kan eksistere andre analoge spændinger end de viste, er de tegnet med streger.



1.2 Summationskobling til et ciffer

Nedenstående diagram viser en 4-bit DAC med vægtede modstande og fælles referencespænding.

Ved hjælp af omskifterne kan modstandene kobles til referencespændingen eller til stel.



Strømmen I_{Rf} vil være summen af de enkelte strømme i indgangsmodstandene, og da disse værdier er vejet binært, vil det sige, at I_{Rf} kan antage 16 forskellige værdier afhængig af omskifternes stilling.

Udgangsspændingen vil følge dette udtryk:

$$-U_u = R_f \cdot (I + 1/2 I + 1/4 I + 1/8 I).$$



Eksempel :

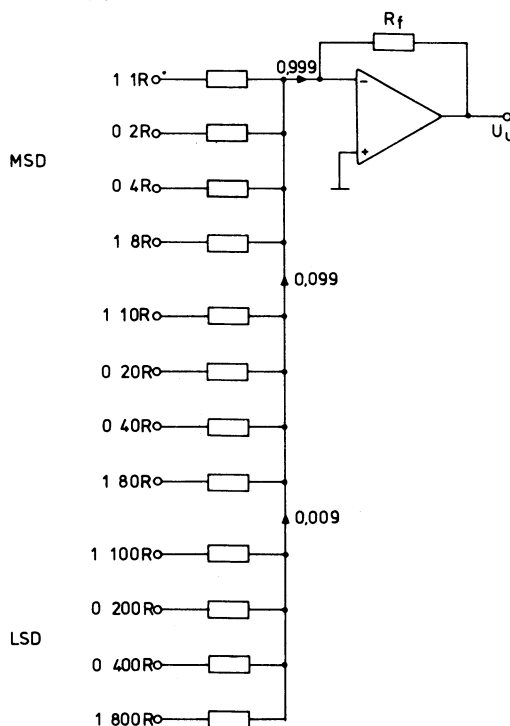
Hvis $R_f = R = 1K$, og $U_{\text{reff}} = 0,8 \text{ V}$, fås følgende værdier af I_{Rf} og udgangsspændingen.

MSB				LSB				I_{Rf} mA	$-U_U$ V
2^3	2^2	2^1	2^0	2^3	2^2	2^1	2^0		
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0,1	0,1
0	0	1	0	0	0	1	0	0,2	0,2
0	0	1	1	0	0	1	1	0,3	0,3
0	1	0	0	0	1	0	0	0,4	0,4
0	1	0	1	0	1	0	1	0,5	0,5
0	1	1	0	0	1	1	0	0,6	0,6
0	1	1	1	0	1	1	1	0,7	0,7
1	0	0	0	1	0	0	0	0,8	0,8
1	0	0	1	1	0	0	1	0,9	0,9
1	0	1	0	1	0	1	0	1,0	1,0
1	0	1	1	1	0	1	1	1,1	1,1
1	1	0	0	1	1	0	0	1,2	1,2
1	1	0	1	1	1	0	1	1,3	1,3
1	1	1	0	1	1	1	0	1,4	1,4
1	1	1	1	1	1	1	1	1,5	1,5

Det her angivne princip kan udvides til det antal bit, der ønskes, f.eks. 10.

1.3 Summationskobling til tre cifre

Binært kodede decimaltal, f.eks. i 8421 kode, kan omsættes til analoge spændingsniveauer ved at dele indgangsmodstandene op i grupper på fire og vægte disse indbyrdes med en faktor på 10.



Vanskeligheden ved at anvende det beskrevne system ligger i den store forskel, der bliver mellem den mindste og den største modstand i modstandsnetværket.

F.eks. fra $10 \text{ k}\Omega$ til $8 \text{ M}\Omega$ ved viste kredsløb og fra $10 \text{ k}\Omega$ til $20,48 \text{ M}\Omega$ ved en ren binær kode.

Antages det, at modstanden R på $10 \text{ k}\Omega$ afviger $-0,1\%$ fra sin nominelle værdi og dermed er 9990Ω , løber der en større strøm mod knudepunktet.

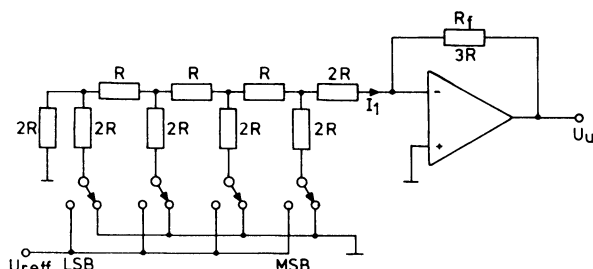
Den strømdifference svarer til, at der blev lagt en modstand på $9,99 \text{ M}\Omega$ parallelt med de $10 \text{ k}\Omega$, altså en fejl, der svarer ca. til LSB i LSD, least significant decimal.



2. R-2R KOBLING

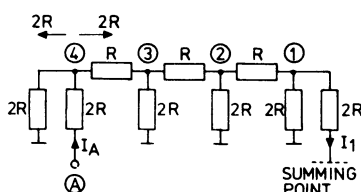
En måde at løse problemet med den store forskel mellem mindste og største modstand i summationskoblingen er at anvende de såkaldte R-2R trappenetværk.

Fordelen ved dette er, at det kun indeholder to forskellige modstandsværdier.



2.1 Funktion

Som diagrammet viser, kan de enkelte indgangsmodstande kobles til stel eller til referencespændingen.



Tænker man sig, at indgang (A) svæver, og de øvrige indgange er lagt til stel, fås ovenstående diagram.

I denne tilstand vil den samlede modstand fra knudepunkt (4) og til stel være $1R$.

Stiller man sig i knudepunkt (4) vil der være en modstand på $2R$ til hver side.

Tilsluttes (A) nu referencespændingen, som sættes til $3V$, vil der gå en strøm I_A med en relativ størrelse på:

$$I_A = \frac{3(V)}{3(R)} = 1$$

I knudepunkt (4) sker der en strømdeling, således at kun $\frac{1}{2} I_A$ flyder mod knudepunkt (3).

I punkt (3) sker endnu en strømdeling, så strømmen mod punkt (2) er $\frac{1}{4} I_A$.

Det samme sker i knudepunkt (2) og (1), således at den endelige strøm til additionsforstærkeren er $1/16 I_A$.

Gøres omstående betragtning med (B), (C) og (D) indgangene, vil det ses, at de optræder på indgangen af additionsforstærkeren med henholdsvis $1/8$, $1/4$ og $1/2$ af de oprindelige strømme (I_B , I_C og I_D).

I_1 er altså summen af:

$$I_1 = 1/2 I_D + 1/4 I_C + 1/8 I_B + 1/16 I_A.$$

Udgangsspændingen findes som:

$$-U_u = R_f \cdot I_1.$$

$$\begin{aligned} -U_u &= 3R \cdot (1/2 \frac{U_{ref}}{3R} + \\ &1/4 \frac{U_{ref}}{3R} + 1/8 \frac{U_{ref}}{3R} + \\ &1/16 \frac{U_{ref}}{3R}) \end{aligned}$$

$$-U_u = U_{ref} \cdot (1/2 + 1/4 + 1/8 + 1/16)$$

\downarrow
 2^3

\downarrow
 2^2

\downarrow
 2^1

\downarrow
 2^0

MSB

LSB

Som det fremgår af ovenstående udtryk, kan udgangsspændingen bringes til at antage 16 forskellige niveauer afhængig af, hvilket led i parantesen der er til stede.

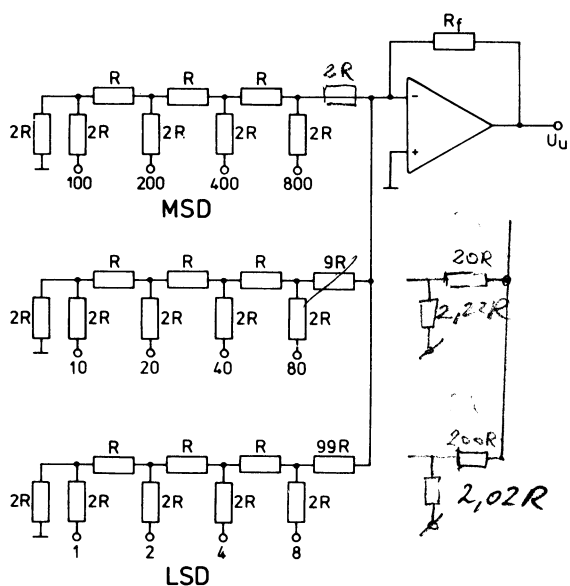
Mindste udgangsspænding er $0V$ og højeste er $15/16$ af U_{ref} .



2.2 R-2R kobling til tre cifre

R-2R trappenetværket kan også ændres til konvertering af binært kodet decimaltal.

For hvert ciffer er der et 4-bit R-2R-netværk, der forbindes parallelt via hver sin vejede modstand.



3. PRAKTISKE FORHOLD

Ved den praktiske udformning af digital til analog konvertere er der en række problemer at tage sig i agt for.

3.1 Omskifttere

De omskifttere, der kobler indgangsmodstandene til reference-spændingen eller jord, skal have så lille gennemgangsmodstand, at den er meget mindre end den mindste indgangsmodstand. I modsat fald vil det gå ud over nøjagtigheden.

Som omskifttere kan anvendes transistorer, bipolar eller MOS/FET, eller relæer, REED.

3.2 Modstande

Modstandenes tolerancer skal modsvarer den ønskede opløsning, antallet af bit.

For store tolerancer vil give anledning til ulinearitet i overføringsfunktionen.

Den største modstand skal være meget mindre end forstærkerens indgangsimpedans, da der ellers vil opstå ulinearitet i additionen som følge af forstærkerens indgangsstrøm.

3.3 Forstærkning

Indgangsspændingen mellem terminalerne på operationsforstærkeren skal være så lille som muligt, ideelt 0 V.

For at muliggøre dette skal operationsforstærkerens råforstærkning være så stor som mulig.

Minimumsforstærkningen fås, hvis A_0 sættes til 10 gange $2^{(N+1)}$, hvor N er antallet af bit, der skal omsættes.

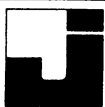
Eksempel:

Der skal omsættes 10 bit.

Råforstærkningen skal minimum være:

$$10 \cdot 2^{10} + 1 = 10 \cdot 2^{11}$$

20480 gange



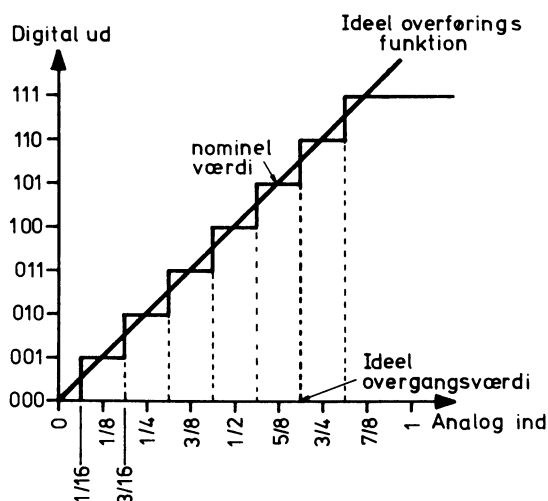
DISPOSITION

1. Analog/digital-konverter
2. Spænding til frekvens AD konverter
3. Dual-slope AD konverter
4. Rampetæller AD konverter
5. Successive approximations AD konverter

1. ANALOG/DIGITAL KONVERTER

En ADC er, som betegnelsen angiver, et kredsløb, der kan omsætte en analog størrelse, f.eks. en spænding til data i digital form.

1.1 Overføringsfunktion



Herover ses overføringsfunktionen for en 3 bit ADC.

Det må antages, at den analoge indgangsspænding indeholder alle værdier, hvorfor den deles op i otte lige store dele.

For at komme så tæt på den ideelle overføringsfunktion som muligt, ligger første skift på $1/16$ af den maksimale analoge indgangsspænding.

Da næste skift først sker ved $3/16$, vil alle analoge niveauer inden for området $1/16$ til $3/16$ blive omsat til binært 001.

Den analoge forskel mellem to overgange svarer til et skift på mindst betydende bit i det digitale udgangssignal. Da den nominelle værdi ligger midt mellem to overgange, vil der være en konverteringsusikkerhed på $\pm \frac{1}{2}$ LSB.

Den eneste måde at reducere denne usikkerhed på er at øge antallet af bit.

1.2 Inddeling af ADC'er

Analog/digital konvertering kan opdeles efter flere forskellige kriterier.

I det følgende vil der blive skelnet mellem kondensatorladede konvertere og konvertere, der er baseret på sammenligning med en internt generet spænding.

I kondensatorladede omformere baseres omformningsprocessen på en måling af den tid, der medgår til at oplade eller aflade en kondensator til en fast referencespænding.

I det følgende vil der blive behandlet to ADC'er efter kondensatorladeprincippet. Den ene er en spænding til frekvensomformer og den anden en dual-slope-integrator.

I en omformer med sammenligning generes der internt en spænding, der nøje svarer til det digitale ord på udgangen.

Når den interne spænding er lige så stor som den ubekendte indgangsspænding, er omformningen slut, og det digitale ord på udgangen svarer nu til indgangsspændingen.

Dette princip vil blive behandlet i forbindelse med en rampetæller, samt i en successiv approximationskonverter.



2.2 Integrator

Den analoge indgangsspænding U_x giver anledning til en ækvivalent strøm I_x .

Da der ikke flyder nogen indgangsstrøm af betydning i operationsforstærkeren, vil I_x løbe til integrationskondensatoren og oplade denne.

Hvis U_x er konstant, vil der flyde en konstant ladestrøm til kondensatoren, idet U_{in} er meget mindre end U_x , $U_{in} \rightarrow 0$.

En konstant ladestrøm til en kondensator vil give en lineært stigende spænding over denne.

På udgangen af integratoren, punkt ②, vil der derfor opstå en lineært faldende spænding med en hældning, der er proportional med U_x .

2.3 Komparator

Rampespændingen i punkt ② tilføres den inverterende indgang på en komparator. Dennes ikke inverterende indgang er lagt til en fast negativ referencespænding.

Så længe output'et fra integratoren er mindre negativt end U_{ref} , vil komparatorens udgang ligge på nul.

Idet integrator-output'et bliver mere negativt end referencespændingen, bliver komparatorens udgang positiv.

2.4 Reset-kredsløb

I det tidsrum, hvor komparatorens output var nul, har udgangen af impulsformeren været negativ og fasevenderens udgang positiv. Diodebroen har derfor været spærret og uden indflydelse på integratoren.

Idet komparatorens output bliver positivt, frembringer impulsformeren en kort positiv impuls. Denne bevirker, at diodebroen kortvarigt bliver ledende og derved kortsletter og aflader integrationskondensatoren, så integratoren resettes. Herved bliver komparatorens udgang igen nul, og en ny opladning af kondensatoren starter.

2.5 Komparator-output

Da hældningen af rampen på integratorens udgang er proportional med U_x , vil komparatoren aktiveres med en gentagelsesfrekvens, der er proportional med U_x .

Komparatorens output er altså et impulstog, hvis frekvens er et udtryk for den analoge indgangsspænding.

2.6 Frekvenstæller

Den endelige omsætning er U_x til digital form, foretages ved at tælle impulserne fra komparatoren i et defineret tidsinterval.

2.7 Eksempel

Antag, at integratoren og referencespændingen dimensioneres således, at komparatoren aktiveres med en frekvens på 10 kHz, når U_x er 1 V.

Hvis timebasen holder AND-gaten i 0,1 s, vil tælleren nå at opsummere 1000 impulser.

Det vil sige, at en analog indgangsspænding på 1 V svarer til et binært output på 1000 (10).

Mindst betydende bit (LSB) vil dermed have en vægt på 1 mV.

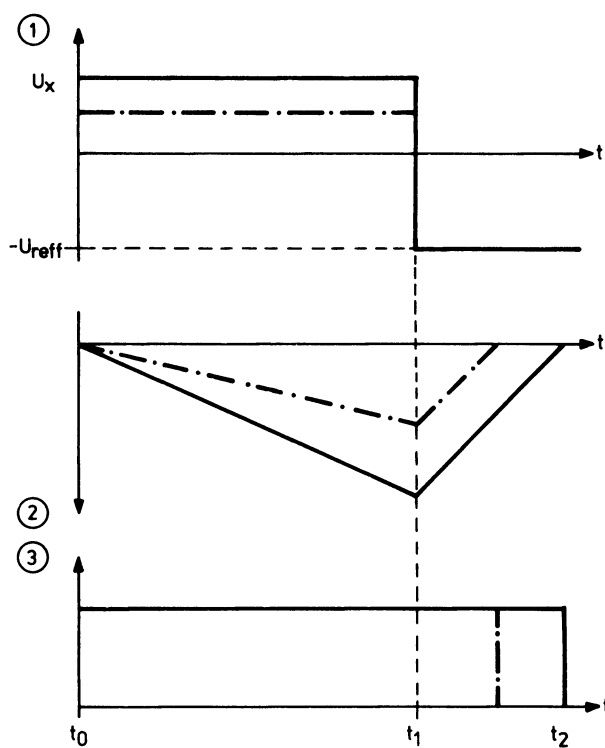
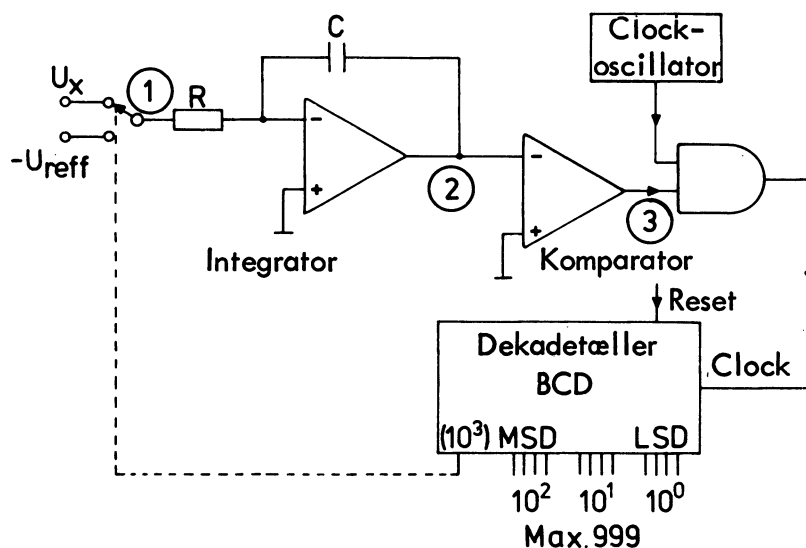
$$1111101000 (2) \rightarrow 1 \text{ V}$$

$$1111101001 (2) \rightarrow 1,001 \text{ V}$$



3. DUAL-SLOPE AND KONVERTER

3.1 Principdiagram



| 1000 clock-impulser |

(0)000

(1)000

(1)xxx Tællerindhold



3.2 Funktion

Med omskifteren i stilling U_x og nulstillet integrator og tæller påbegyndes omformningen til tiden t_0 .

U_x vil opbygge en negativ rampe på udgangen af integratoren. Komparatorens output er positivt, hvorfor der tilføres tælleren clock-impulser, og den tæller opad.

Til tiden t_1 går tælleren fra 999 til 000, og 10^3 udgangen bliver logisk 1.

I tidstrummet $t_0 - t_1$ stiger kondensatorspændingen lineært med en hældning, der er proportional med U_x .

Spændingen på udgangen af integratoren vil således være proportional med U_x .

Hvis U_x varierer, vil integratorens output være et udtryk for middelværdien af indgangsspændingen.

Til tiden t_1 sker der den ændring, at et-tallet på tælleren 10^3 udgang stiller omskifteren i nederste stilling, og derved kobler integratorens indgang til en fast negativ referencespænding.

Bemærk, at tælleren indhold på dette tidspunkt er 000.

Kondensatoren vil nu aflades mod nul med en konstant hældning, bestemt af referencespændingen. Hvornår integratorens udgang passerer nul, er et spørgsmål om, hvor stor kondensatorens ladning var til tiden t_1 .

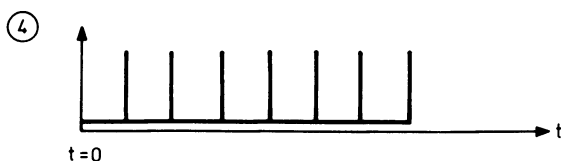
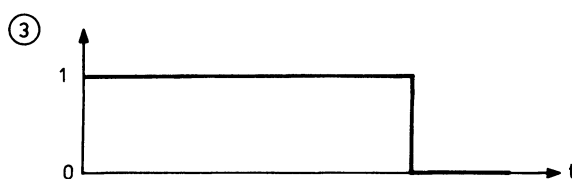
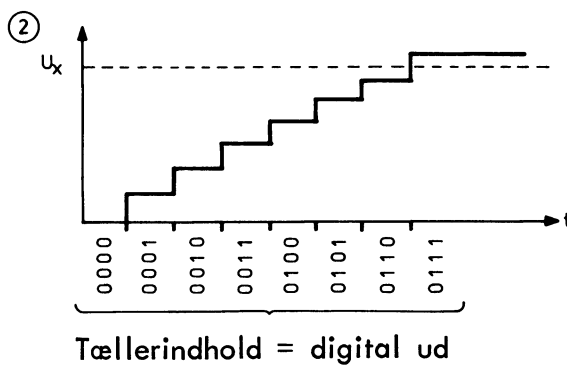
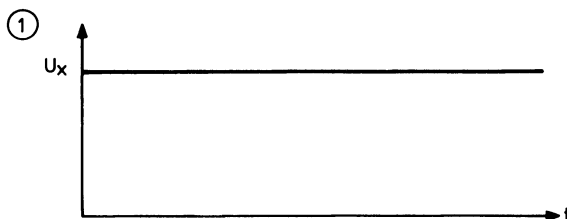
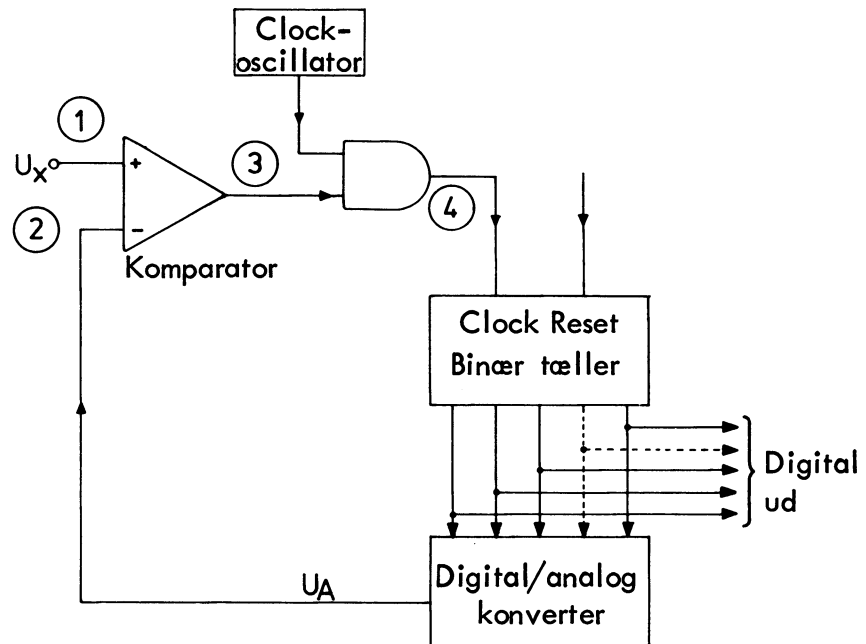
Når integratoren passerer nul, bliver komparatorens udgang 0, og clock-impulserne til tælleren afbrydes.

Tælleren indhold er nu et udtryk for den analoge indgangsspændings størrelse, indtil næste omformning startes.

4. RAMPETÆLLER AD KONVERTER

Denne omformertype baserer sig på sammenligning mellem den analoge indgangsspænding U_x og en internt generet spænding, der er analog med tællerindholdet.

4.1 Principdiagram





4.2 Virkemåde

Omformningen begyndes ved, at tælleren nulstilles, hvorved den af digital/analog-omformeren frembragte spænding bliver nul.

Hvis U_x er større end nul, bliver komparatorens output 1, og tælleren tilføres clock-impulser.

Tælleren begynder nu at tælle op. For hver clock-impuls vil D/A-konverterens udgangsspænding stige med en spænding, der svarer til værdien af 1 LSB.

Spændingen vil altså beskrive en trappekurve indtil det tidspunkt, hvor den overstiger U_x .

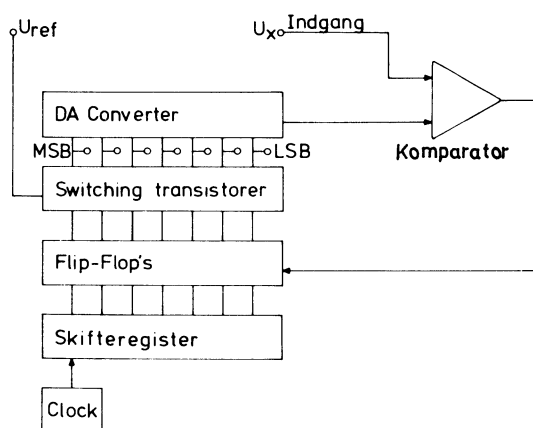
På dette tidspunkt vil komparatorens output blive 0, hvorved tælleren stoppes.

Tællerindholdet vil nu være proportionalt med U_x .

5. SUCCESSIVE APPROXIMATIONS

AD KONVERTER

5.1 Principdiagram



5.2 Virkemåde

Konverteren indeholder et skifte-register, der styres af en clock-generator.

Udgangen fra hver flip-flop i skifteregisteret er tilkoblet en switch-transistor.

Switch-transistorerne tilkobler enten 0 eller referencespændingen til digital/analog konverteren.

Udgangsspændingen fra DA-konverteren sammenlignes med indgangsspændingen af en komparator.

Ved den første clock-impuls 1-stilles første trin i skifteregisteret, hvorved første flip-flop triggeres således, at switch-transistor nr. 1 tilkobler U_{ref} til MSB på DA-konverteren.

DA-konverteren afgiver herved en spænding, der sammenlignes med U_x af komparatoren.

Er udgangsspændingen fra DA-konverteren større end U_x , afgiver komparatoren en impuls, der nulstiller den første flip-flop.

Hvis udgangsspændingen fra DA-konverteren er mindre end U_x , afgiver komparatoren ingen impuls til flip-flop'en, herved forbliver første flip-flop triggeret som indikation af, at MSB er 1.

Ved næste impuls 1-stilles 2. trin i skifteregisteret, hvorefter samme sekvens gentager sig, idet man opnår en indikation af, om andet binære ciffer skal være 0 eller 1.

Processen gentages, indtil alle trin i skifteregisteret har været 1-stillet.

I det viste eksempel kræves der syv impulser fra clock-generatoren for at konvertere U_x til en 7-bit binær kode, dette giver en meget stor konverteringshastighed.





DISPOSITION

1. Dekoder
2. Enkoder
3. Koder

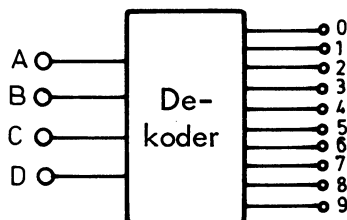
1. DEKODER

1.1 Anvendelse

En dekode er et kredsløb, der accepterer et kodet input og aktiverer en eller flere outputs i overensstemmelse med det kodede input. F.eks. dekodning af BCD-koden til én ud af ti-koden, decimalkoden.

1.2 Princip

En dekode er i princippet en gate med en eller flere udgange og en eller flere indgange.



Sandhedstabellen for det viste kredsløb kan se således ud:

Indgange				Udgange									
A	B	C	D	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

Enhver dekode kan opbygges ved hjælp af simple gates.

Opbygningen af en 2- til 4-liniedekoder kan foregå således:

Først udskrives en sandhedstabel, der viser, hvorledes det logiske sammenhæng er mellem ind- og udgang.

Indgange		Udgange			
A	B	0	1	2	3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Det booleske udtryk for udgange skrives

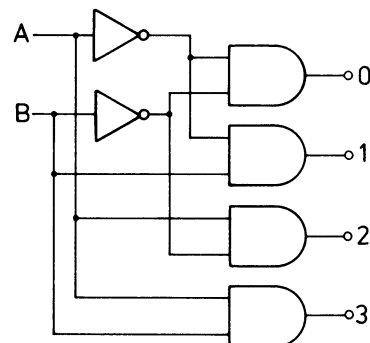
$$0 \rightarrow \overline{A}\overline{B}$$

$$1 \rightarrow \overline{A}B$$

$$2 \rightarrow A\overline{B}$$

$$3 \rightarrow AB$$

Det logiske kredsløb kan derefter tegnes.



1.3 Eksempel på datablad

signetics

BCD-TO-SEVEN SEGMENT
DECODER/DRIVER

N7446
N7447

N7446-B • N7447-B

DIGITAL 54/74 TTL SERIES

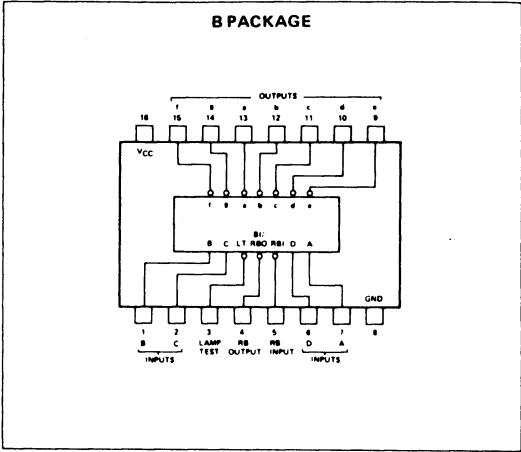
DESCRIPTION

The 7446 and 7447 BCD-to-Seven Segment Decoder/Driver are TTL monolithic devices consisting of the necessary logic to decode a BCD code to seven segment readout plus selected signs.

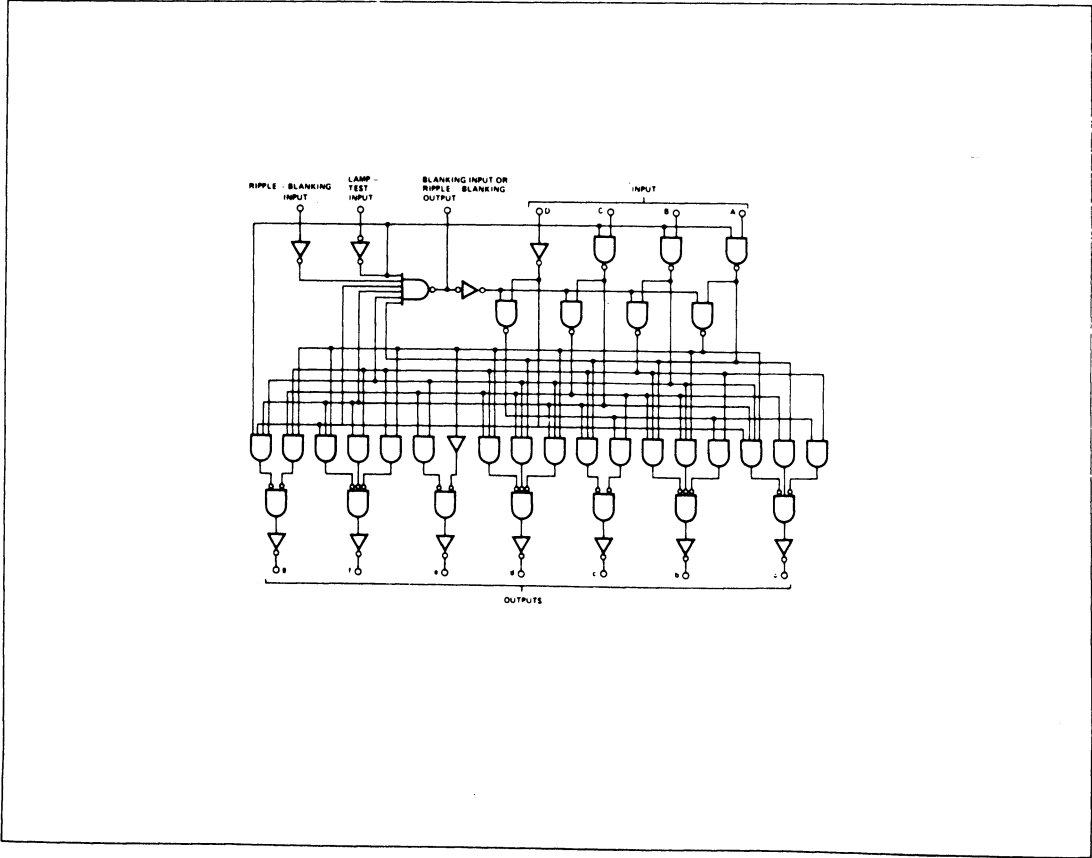
Incorporated in this device is a blanking circuit allowing leading and trailing zero suppression. Also included is a lamp test control to turn on all segments.

The 7446 and 7447 provide bare collector output transistors for directly driving lamps. The output transistor breakdown of the 7446 is 30 volts and the 7447 is 15 volts.

PIN CONFIGURATION



LOGIC DIAGRAM





SIGNETICS BCD-TO-SEVEN SEGMENT DECODER/DRIVER ■ N7446, N7447

TRUTH TABLE

DECIMAL OR FUNCTION	INPUTS							OUTPUTS							NOTE
	LT	RBI	D	C	B	A	BI/RBO	a	b	c	d	e	f	g	
0	1	1	0	0	0	0	1	0	0	0	0	0	0	1	1
1	1	x	0	0	0	1	1	1	0	0	1	1	1	1	1
2	1	x	0	0	1	0	1	0	0	1	0	0	1	0	
3	1	x	0	0	1	1	1	0	0	0	0	1	1	0	
4	1	x	0	1	0	0	1	1	0	0	1	1	0	0	
5	1	x	0	1	0	1	1	0	1	0	0	1	0	0	
6	1	x	0	1	1	0	1	1	1	0	0	0	0	0	
7	1	x	0	1	1	1	1	0	0	0	1	1	1	1	
8	1	x	1	0	0	0	1	0	0	0	0	0	0	0	
9	1	x	1	0	0	1	1	0	0	0	1	1	0	0	
10	1	x	1	0	1	0	1	1	1	1	0	0	1	0	
11	1	x	1	0	1	1	1	1	1	0	0	1	1	0	
12	1	x	1	1	0	0	1	1	0	1	1	1	0	0	
13	1	x	1	1	0	1	1	0	1	1	0	1	0	0	
14	1	x	1	1	1	0	1	1	1	1	0	0	0	0	
15	1	x	1	1	1	1	1	1	1	1	1	1	1	1	
BI	x	x	x	x	x	x	0	1	1	1	1	1	1	1	2
RBI	1	0	0	0	0	0	0	1	1	1	1	1	1	1	3
LT	0	x	x	x	x	x	1	0	0	0	0	0	0	0	4

NOTES:

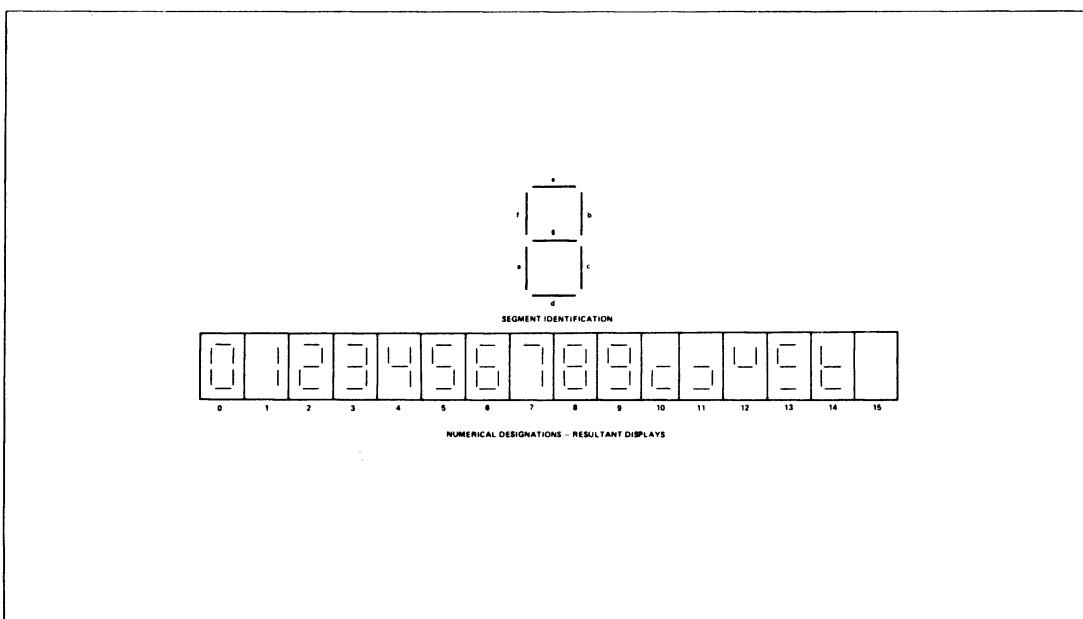
1. BI/BRO is wire-OR logic serving as blanking input (BI) and/or ripple-blanking output (RBO). The blanking input must be open or held at a logical 1 when output functions 0 through 15 are desired and ripple-blanking input (RBI) must be open or at a logical 1 during the decimal 0 input. X = input may be high or low.

2. When a logical 0 is applied to the blanking input (forced condition) all segment outputs go to a logical 1 regardless of the state of any other input condition.

3. When ripple-blanking input (RBI) is at a logical 0 and A = B = C = D = logical 0, all segment outputs go to a logical 1 and the ripple-blanking output goes to a logical 0 (response condition).

4. When blanking input/ripple-blanking output is open or held at a logical 1, and a logical 0 is applied to lamp-test input, all segment outputs go to a logical 0.

SEGMENT IDENTIFICATION







DISPOSITION

1. Three-state logik
2. Multiplekser

1. THREE-STATE LOGIK

1.1 Niveauer

Ved almindelig digitalteknik anvendes kun to logiske niveauer. Ved det ene niveau er der en lav impedans i forhold til stel, medens der i det andet niveau er lav impedans til forsynings-spændingen.

Ved three-state logik anvendes også et tredje "niveau". Dette "niveau" er hverken HI eller LO. Udgangen er ved det tredje "niveau" afbrudt, således at udgangsimpedansen er meget stor.

1.2 Anvendelse

Three-state logikken anvendes, hvor flere udgange skal forbindes til samme indgang.

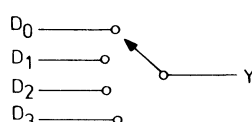
Ved kun at have en udgang aktiv ad gangen vil de forskellige udgange ikke belaste hinanden.

I store datasystemer anvendes den samme signalledning, data BUS, til mange forskellige informationer til hvert sit tidspunkt. For at sikre, at kun den rigtige information er på ledningen til det rette tidspunkt, køres alle andre udgange, ud over den der anvendes, i off-state.

2. MULTIPLEKSER

2.1 Princip

En multiplexer er en digital-omskifter med flere indgange og en udgang.

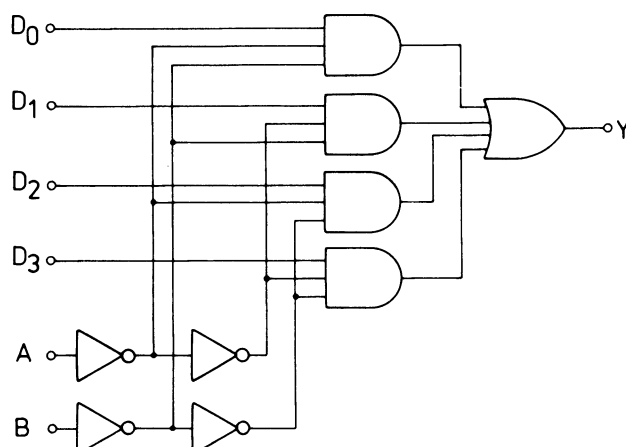


Omskifteren styres af en digital-talkode, der som oftest er BCD.

Det booleske udtryk for en multiplexer med fire indgange ser således ud:

$$Y = D_0 \bar{A} \bar{B} + D_1 A \bar{B} + D_2 \bar{A} B + D_3 A B$$

Kredsløbet ser således ud:



D er dataindgangene, medens A og B bestemmer, hvilken indgang der har forbindelse med udgangen.

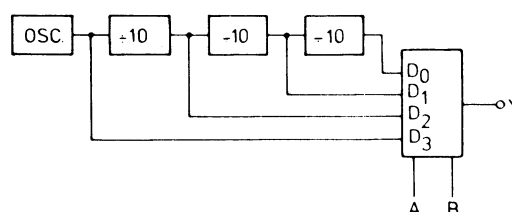
Sandhedstabellen for kredsløbet ser således ud:

A	B	Y
0	0	D ₀
0	1	D ₂
1	0	D ₁
1	1	D ₃

2.2 Anvendelse

Kredsløbet kan anvendes til at udvælge forskellige signaler.

I en frekvenstæller, hvor der ud af en dekadetæller skal vælges forskellige delerforhold, alt efter hvilken frekvens man skal tælle, kan en multiplexer anvendes til udvælgelse af det rigtige delerforhold.



2.3 Datablad

TTL
MSI

TYPES SN54251, SN54LS251, SN54S251,
SN74251, SN74LS251, SN74S251

DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS

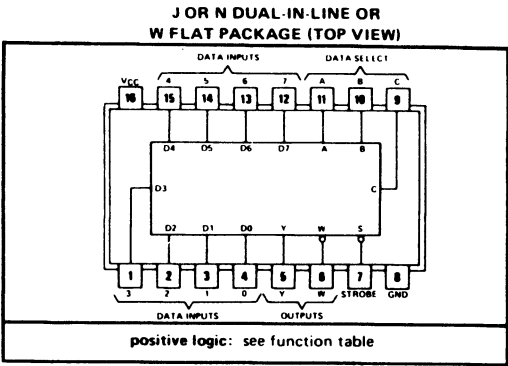
- Three-State Versions of '151, 'LS151, 'S151
- Three-State Outputs Interface Directly with System Bus
- Perform Parallel-to-Serial Conversion
- Permit Multiplexing from N-lines to One Line
- Complementary Outputs Provide True and Inverted Data
- Fully Compatible with Most TTL and DTL Circuits

TYPE	MAX NO. OF COMMON OUTPUTS	TYPICAL AVG PROP DELAY TIME (D TO Y)	TYPICAL POWER DISSIPATION
SN54251	49	17 ns	250 mW
SN74251	129	17 ns	250 mW
SN54LS251	19	17 ns	35 mW
SN74LS251	19	17 ns	35 mW
SN54S251	39	8 ns	275 mW
SN74S251	129	8 ns	275 mW

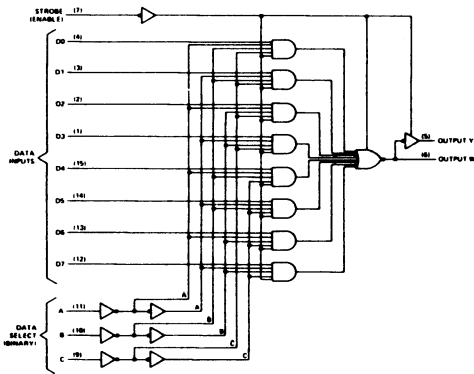
description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select one-of-eight data sources and feature a strobe-controlled three-state output. The strobe must be at a low logic level to enable these devices. The three-state outputs permit a number of outputs to be connected to a common bus. When the strobe input is high, both outputs are in a high-impedance state in which both the upper and lower transistors of each totem-pole output are off, and the output neither drives nor loads the bus significantly. When the strobe is low, the outputs are activated and operate as standard TTL totem-pole outputs.

To minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the output control circuitry is designed so that the average output disable time is shorter than the average output enable time. The SN54251 and SN74251 have output clamp diodes to attenuate reflections on the bus line.



functional block diagram



FUNCTION TABLE				
INPUTS				OUTPUTS
SELECT	STROBE			Y W
C B A	S			Y W
X X X	H			Z Z
L L L	L			D0 D0
L L H	L			D1 D1
L H L	L			D2 D2
L H H	L			D3 D3
H L L	L			D4 D4
H L H	L			D5 D5
H H L	L			D6 D6
H H H	L			D7 D7

H = high logic level, L = low logic level
X = irrelevant, Z = high impedance (off)
D0, D1 . . . D7 = the level of the respective D input



DISPOSITION

1. Fejlsøgningsinstrumenter

1. FEJLSØGNINGSINSTRUMENTER

For at kunne give en hurtig og effektiv service på digitalt udstyr er det vigtigt at vælge det rette fejlsøgnings- og kontroludstyr.

I det følgende vil der være en oversigt over nogle af de mest almindelige instrumenter til fejlsøgning på logiske kredsløb.

1.1 Oscilloskop

Som til snart al anden service er oscilloskopet også anvendeligt til fejlsøgning på logiske kredse.

Ved impulser med lille duty-cycle, lille impulstid, eller særligt langsomme fænomener, kan det være vanskeligt at opnå et tilfredsstillende display på et oscilloskop med almindelige faciliteter, f.eks. OS1000A, D65 eller lignende.

I sådanne situationer vil et storage-oscilloskop med single-sweep kunne løse problemet.

Hvis der er behov for at se en mindre del af et impulstog, skal oscilloskopet være udstyret med delayed-sweep eller mixed-sweep.

1.2 TTL-trigger-probe

Ovenstående problem med at se en del af en længere sekvens på oscilloskopet kan løses ved hjælp af en TTL-trigger-probe.

Antag, at den del af sekvensen, der skal iagttages, begyndes med en bestemt kombination af variable, f.eks. et binært tal fra en tæller.

TTL-trigger-probens indgange tilsluttes de punkter, hvor den ovennævnte kombination optræder og kodes i overensstemmelse med det digitale ord, der angiver begyndelsen af den sekvens, der skal undersøges.

Udgangen af TTL-trigger-proben tilsluttes oscilloskopets eksterne triggerindgang.

Idet de indstillede indgangsbetingelser er opfyldt, afleverer TTL-trigger-proben en triggerimpuls, og oscilloskopet starter et sweep, hvorved den ønskede del af sekvensen kan iagttages.

Efter at have lokaliseret det fejlbehæftede område skal den svigtende IC eller printfejl indkredses. Til dette kan f.eks. anvendes en logic clip.

1.3 Logic clip

En logic clip ligner en stor tøj-klemme, som på klemmefalderne er forsynet med 16 terminaler, der danner forbindelse med IC'ens ben, når klemmen sættes ned over denne.

I den øverste ende af klemmen sidder 16 lysdioder, således at man umiddelbart kan aflæse det logiske niveau på alle IC'ens ben og derved konstatere en eventuel fejlfunktion.

For at lette aflæsningen findes der til nogle fabrikater af logic clip små gennemsigtige IC-symboler til at lægge ned over lysdioderne. Herved lettes identifikationen af den pågældende IC's ind- og udgange betydeligt.

Logic clip kan anvendes både på 14- og 16-bens IC'er, idet klemmens logiknetværk selv afgør, hvor U_{CC} og stel er placeret på den undersøgte IC.



1.4 Logic probe

Et andet nyttigt værktøj til fejlfinding i logik er en logic probe. Med denne kan det logiske niveau på et ønsket punkt i et kredsløb konstateres ved, at den i proben anbragte lyskilde lyser op, 1, eller slukkes, 0. Fordelen ved proben er bl.a., at blikket ikke skal tages bort fra målestedet.

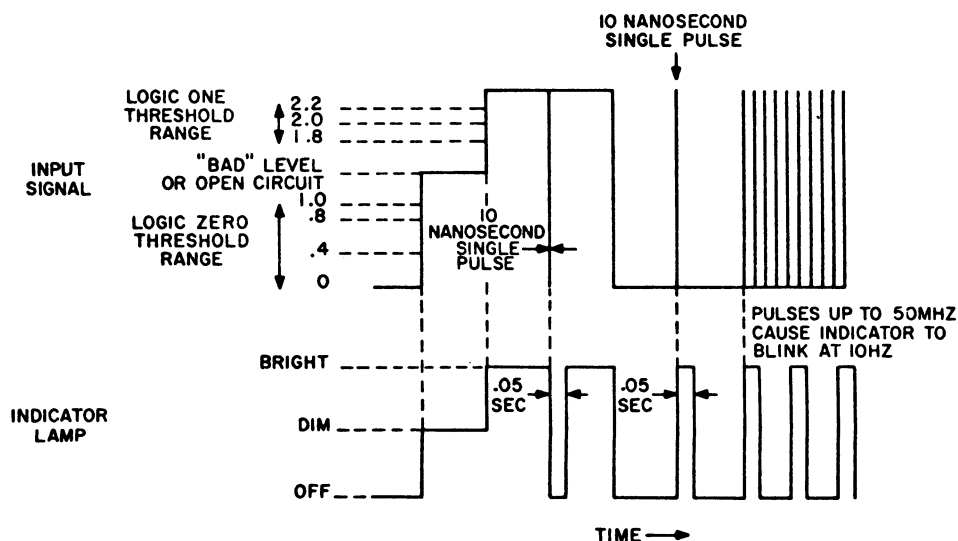
Ud over indikation af 1 og 0 kan en logic probe være udstyret med flere faciliteter. Dette er tilfældet med Hewlett packard logic probe, type 10525T.

For det første indikeres et udefineret niveau og en åben indgang ved halv lysstyrke i probens indikator.

For det andet bliver en kort impuls, ≥ 10 ns indikeret som et blik eller slukning, på 50 ms.

Det vil sige, at impulser, som det selv på et godt oscilloskop vil være vanskeligt at se, indikeres.

Probens funktionsdiagram er vist herunder.

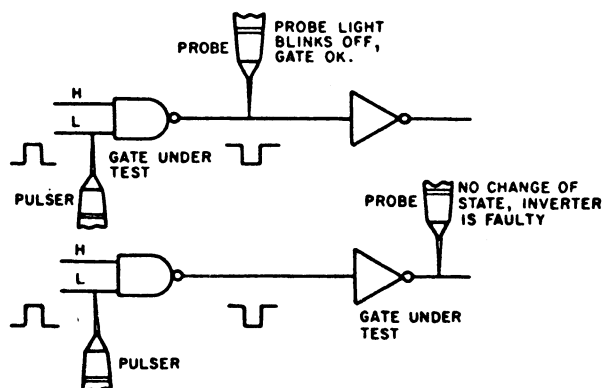




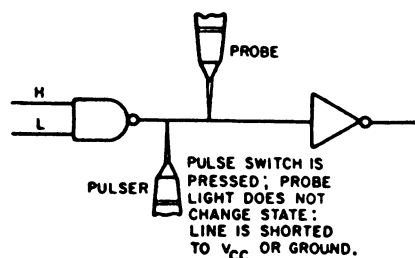
1.5 Logic-pulser

Ved fejlsøgningen kan det være en fordel at kunne stoppe en eventuel indbygget clock-impuls-generator og derefter styre kredsløbet i langsom takt.

Til denne styring kan anvendes en logic-pulser. Ud over funktionen som impulsgenerator har logic-pulser den særlige egenskab, at den kan pulse en intern forbindelse mellem gate-udgang og gate-indgang. Dette giver mulighed for at afprøve enkelte gates uden at tage dem ud af kredsløbet. Som indikator anvendes logic-proben.



Hvis man under fejlsøgning får mistanke om, at et punkt er kortsluttet til stel eller U_{CC} , kontrolleres dette som vist herunder.



Hvis der er en kortslutning, vil pulseren ikke kunne ændre det undersøgte punkts logiske niveau, hvorfor proben ikke aktiveres.

Når pulsens tast ikke påvirkes, er udgangsimpedansen større end $1\text{ M}\Omega$, hvorfor pulserne ikke vil påvirke et kredsløbs normale funktion før og efter affyringen af en impuls.

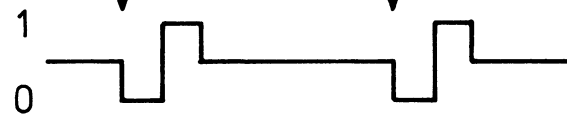
Idet pulseren tages, afgiver den først en negativ gående impuls på $3\text{ }\mu\text{s}$. Derefter følger en positiv impuls af samme længde, hvorefter outputtet bliver passivt.

Denne impulsform betyder, at hvis det pulsede punkt var 1, bliver det kortvarigt 0 og omvendt.

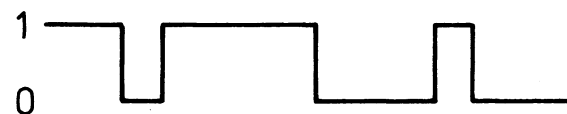
Punkt, der
skal pul-
ses



Pulser
output



Punkt ef-
ter pul-
sning



↓ = Tastning af pulser





DISPOSITION

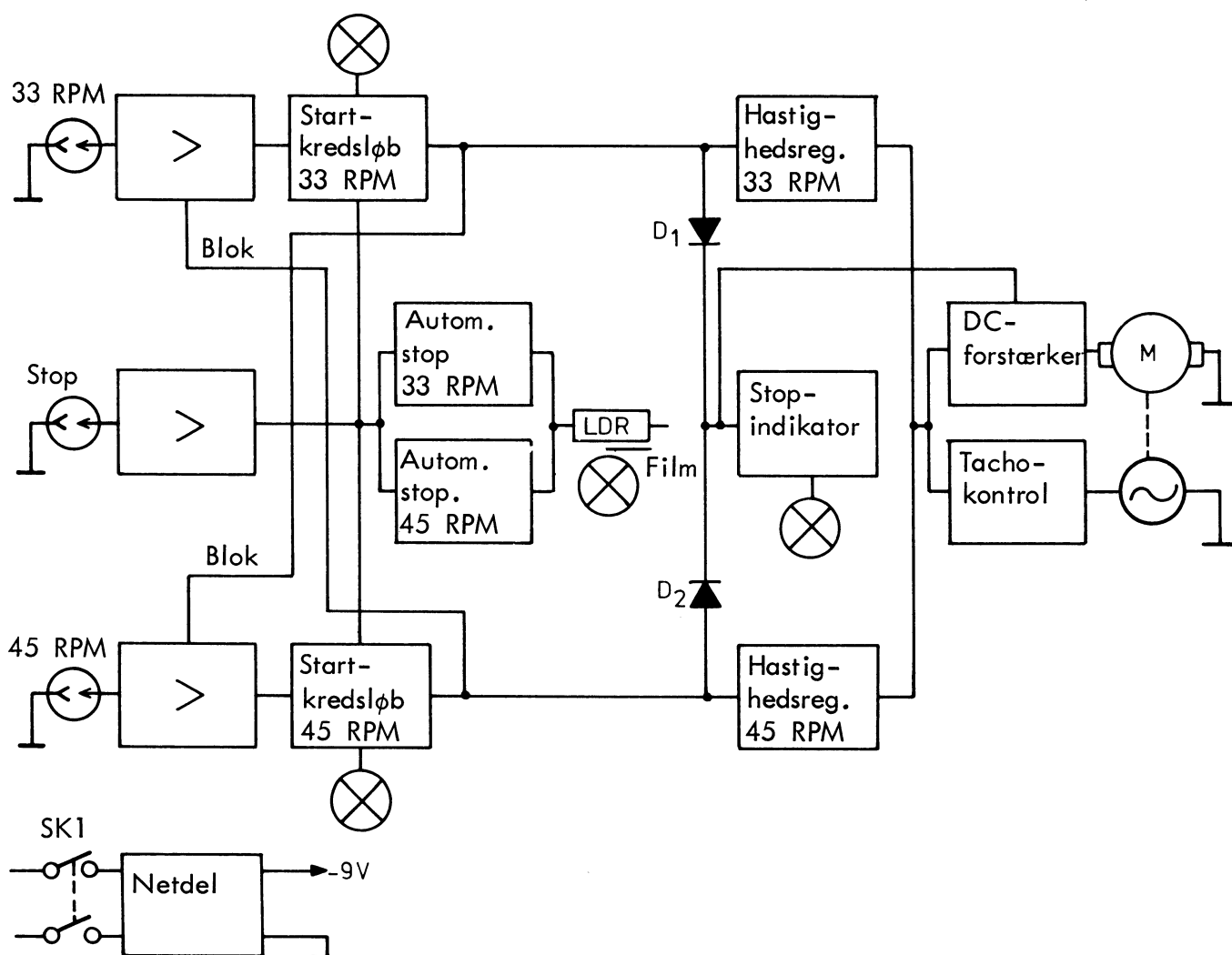
1. Blokfunktioner
2. Kredsløbsbeskrivelse

1. BLOKFUNKTIONER

1.1 Generelt

Styringen af motoren foregår helt elektronisk, dvs. hastighedsomskiftningen mellem 33 RPM og 45 RPM, motorregulering og start/stop-funktioner sker uden anvendelse af mekanik.

1.2 Blokdigram





1.3 Virkemåde

Pladespilleren tændes med SK1. De to startkredsløb for 33 RPM og 45 RPM spærre dioderne D_1 og D_2 . Når disse dioder er spærret, får DC-forstærkeren ikke "stelforbindelse", og motor kører ikke. Samtidig tændes stoplampen via stopindikator kredsløbet.

Berøres touch-kontrollen til f.eks. 33 RPM, arkiveres startkredsløbet for denne hastighed. D_1 leder, og motoren starter. Hastigheden styres af hastighedsreguleringen 33 RPM, og denne hastighed holdes konstant af tacho-kredsløbet.

Når D_1 leder, blokeres stopindikator kredsløbet, og stoplampen slukkes, medens lampen for 33 RPM tændes af startkredsløbet.

Startkredsløbet for 33 RPM blokerer kredsløbet efter touch-kontrollen for 45 RPM, således at skift til anden hastighed ikke kan finde sted, før stopfunktionen er aktiveret.

Stopfunktionen kan ske på to måder:

Berøres touch-kontrollen for stop, blokeres startkredsløbet. D_1 og D_2 spærre, motoren stopper, og stoplampen tænder.

Ved automatisk stop ved pladeudløb føres en sværtet film, som har forbindelse med pick-up-armen, hen foran en LDR-modstand, som styrer stopkredsløbet for enten 33 RPM eller 45 RPM. Da afstanden mellem udløbsrillerne er forskellig for en LP, 33 RPM, og en EP, 45 RPM, plade, er det nødvendigt med to separate automatiske stopkredsløb.

2. KREDSLØBSBESKRIVELSE

Se industridiagram Philips 22GA212

2.1 Stabiliseret strømforsyning

Forsyningsspændingen er stabiliseret til -9 V. Hvis spændingen falder, f.eks. når belastningen af kredsløbet stiger, bliver basis på TS441 via D458 og R472 mere positiv i forhold til emitteren, hvis spænding fastholdes ved hjælp af dioden D457.

Som følge af faldet i forsynings-spændingen vil kollektorstrømmen i TS441 derfor stige; da denne strøm er basisstrøm til serietransistoren TS405, vil denne lede mere, hvorved udgangsspændingen igen stiger.

LA412 benyttes til belysning af LDR-modstanden.

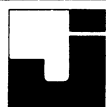
2.2 Startkredsløb

De to startkredsløb for henholdsvis 33 RPM og 45 RPM er opbygget som to bistabile multivibratorer.

Når netspændingen tilsluttes via netafbryderen SK1, vil transistorerne TS426 og TS431 lede, ON, medens TS428 og TS429 vil spærre, OFF.

Som følge heraf er dioderne D447 og D448 spærrede, DC-forstærkeren i motorkredsløbet TS438 og TS439 får ingen "stelforbindelse", og motoren kører ikke.

Når D447 og D448 begge er spærret, leder TS435, og stoplampen LA414 lyser.



Når touch-kontrollen for 33 RPM berøres af en finger, bliver basis af TS432 lagt til stel gennem fingermodstanden på nogle $k\Omega$, hvilke medfører, at TS432 begynder at lede. Kollektorstrømmen flyder via R550 til basis af TS428, hvorved TS428 går ON, medens TS426 går OFF. Multivibratoren har skiftet, og lampen LA410 lyser.

D447 er nu ledende, og der føres en positiv spænding til kollektorerne af TS438 og TS439 med det resultat, at TS440 leder, og motoren starter. Samtidig blokeres TS435, og LA414 slukker.

Når TS428 er ON, begynder TS436 også at lede via R565 med det resultat, at hastigheds-kontrollen for 33 RPM kobles ind og styrer strømmen i TS438, hvorved motoren roterer med en hastighed på 33 omdrejninger pr. minut.

Starten for 45 omdrejninger pr. minut foregår på samme måde som for 33 RPM.

Direkte skift fra 33 RPM til 45 RPM eller omvendt, kan ikke ske, før stopkredsløbet er aktiveret.

Når pladespilleren kører med en hastighed på 33 RPM, er TS428 ON. Da emitteren på TS433 er forbundet til kollektoren på TS428 via R553, vil dette medføre, at TS433 altid er spærret, så længe TS428 er ON. Berøres touch-kontrollen for 45 RPM, vil der derfor intet ske.

Når TS428 er ON, er TS426 OFF. Via D446 flyder der en strøm til basis af TS431, hvorved TS431 holdes ledende, hvilket sikrer, at TS429 altid er OFF ved 33 RPM.

2.3 Kredsløb for manuel stop

Antag, at pladespilleren kører i stilling 33 RPM, dvs. at TS428 er ON.

Berøres touch-kontrollen for stop med en finger, får basis af TS434 stelforbindelse gennem fingeren, og TS434 begynder at lede. Kollektorstrømmen flyder nu gennem R557 og R530 til basis af TS426. Denne transistor går nu ON, og TS428 går OFF. D447 bliver spærret, motorstrømmen ophører, og motoren standser. Samtidig leder TS435, og LA414 lyser.

2.4 Kredsløb for automatisk stop

Antag, at pladespilleren kører i stilling 33 RPM.

Når pick-up'en føres indefter, og nålen befinder sig ca. 65 mm fra pladecentrum, forårsager filmen på bøjle 98 (ikke vist på diagram), at LDR-modstanden R404 belyses mindre. Herved stiger den ohmske modstand og dermed også spændingen over den.

For hver omdrejning af pladetal-lerkenen bliver pick-up'en ført en lille indad, hvorved spændingen over LDR-modstanden stiger med $\Delta U V$. Denne spændingsstigning på $\Delta U V$ er også til stede over serieforbindelsen af C726, R532 og R466. Tidskonstanten for dette RC-led er valgt således, at den frembragte spændingsstigning på kondensatoren når at blive afladet, så længe pick-up'en befinder sig i en musikrille.



Når pick-up'en går ind i pladens udløbsrille, bliver spændingsstigningen over LDR-modstanden for hver omdrejning af pladetalderen større end ΔU_V , fordi afstanden mellem udløbsrillerne er større end afstanden mellem musikrillerne. Denne spændingsimpuls når ikke at blive afladet og bringer derfor TS427 til at lede, og kollektor går mod minus. Derved bringes TS426 til at lede, hvorved TS428 går OFF. D447 spærres, motoren standser, og stoplampen lyser.

Automatisk stop fungerer på samme måde ved 45 RPM. Her er det blot TS430, som bringes i lederetning af LDR-modstanden. TS431 går ON, TS429 går OFF, D448 går i spærring, og motoren standser.

Kondensatorerne C728 og C729 nedsætter støjfølsomheden i det automatiske stopkredsløb.

2.5 Kredsløb for tacho-kontrol

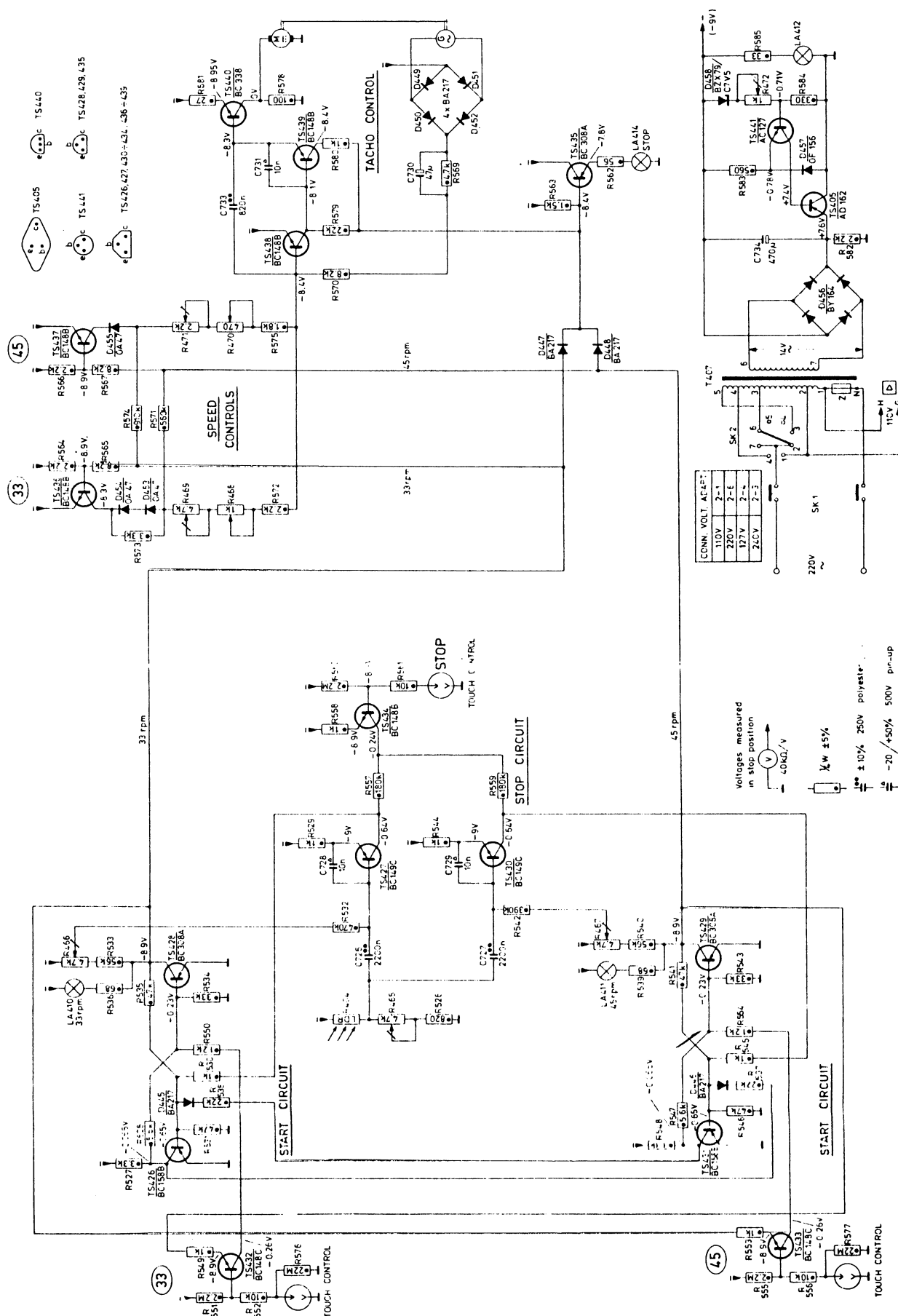
Pladespilleren er forsynet med en tacho-styret motor, dvs. at der til jævnstrømsmotorens aksel er koblet en vekselspændingsgenerator, som frembringer en vekselspænding, hvis størrelse er afhængig af hastigheden. Tachospændingen ensrettes og tilføres basis af TS438.

Når motorens hastighed aftager på grund af stigende belastning, falder spændingen fra tacho-generatoren, hvorved TS438 leder mindre, og spændingen over R579 falder. Herved bliver basis af TS439 mere positiv, hvorved emitterstrømmen stiger. Da denne strøm er basisstrøm til TS440, vil denne transistor lede mere, og motorens hastighed øges.

RC-leddet R569 og C730 sørger for hurtig motorstart, medens C733 udglatter tacho-ripplespændingen.

D455 temperaturstabiliserer motorkredsløbet ved 45 RPM, medens D453 og D454 temperaturstabiliserer ved 33 RPM.

Pladespiller Philips 22GA212.

[illegible]

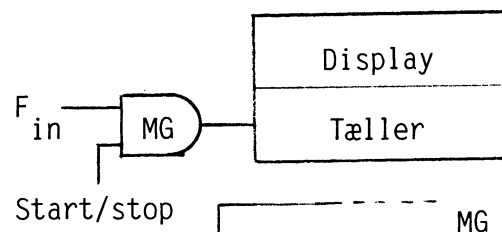


Frekvenstæller.

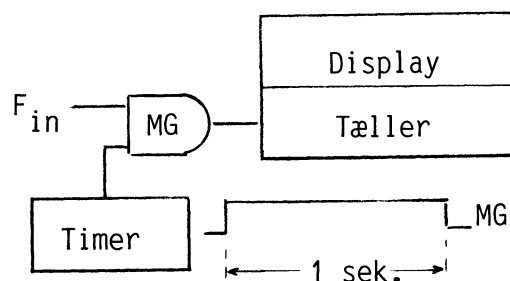
Apparatur under denne betegnelse kan som regel udføre flere funktioner, hvis grundprincipper beskrives i det følgende:

Simpel tælling:

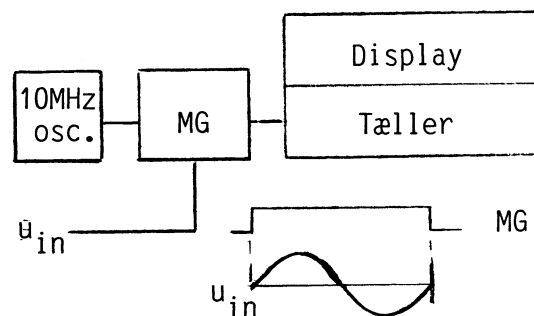
Med 1 på start/stop vil and-gaten, der normalt kaldes main-gate, forkortet MG, være åben. Impulstallet på indgangen F_{in} bliver opsummeret i tælleren og vist i display.

Frekvensmåling:

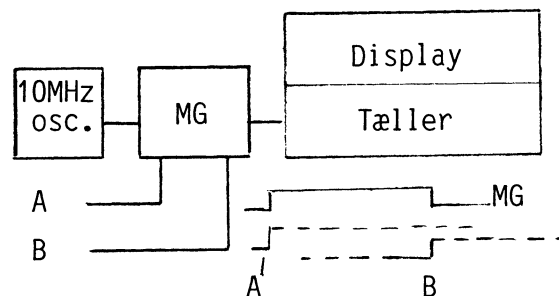
Åbnes MG i nøjagtigt et sekund ved hjælp af en tidsfunktion, vil tælleren opsummere antal perioder pr. sek. svarende til frekvensen, og denne kan herefter vises i display.

Periodetidsmåling:

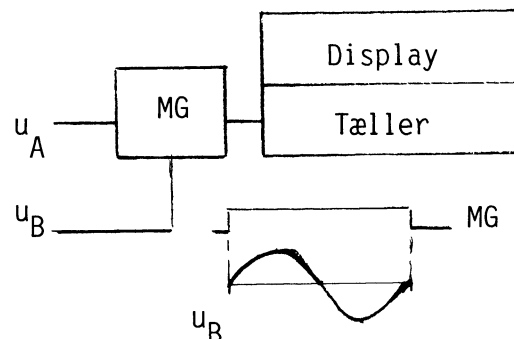
Dersom u_{in} holder MG åben i et tidsinterval svarende til periodetiden på u_{in} , vil tælleren i samme tidsrum tælle en op for hvert $0,1\mu S$ fra den tilsluttede 10MHz oscillator. Tælleren vil således opsummere periodetiden for u_{in} med en opløsning på $0,1\mu S$, og denne kan vises i display.

Tidsinterval A - B:

Dersom impuls A åbner MG, og impuls B lukker igen, vil tælleren som ved periodetidsmåling opsummere tidsforløbet med en opløsning på $0,1\mu S$ via den tilsluttede 10MHz oscillator, og dette kan vises i display.

Frekvensforhold A/B:

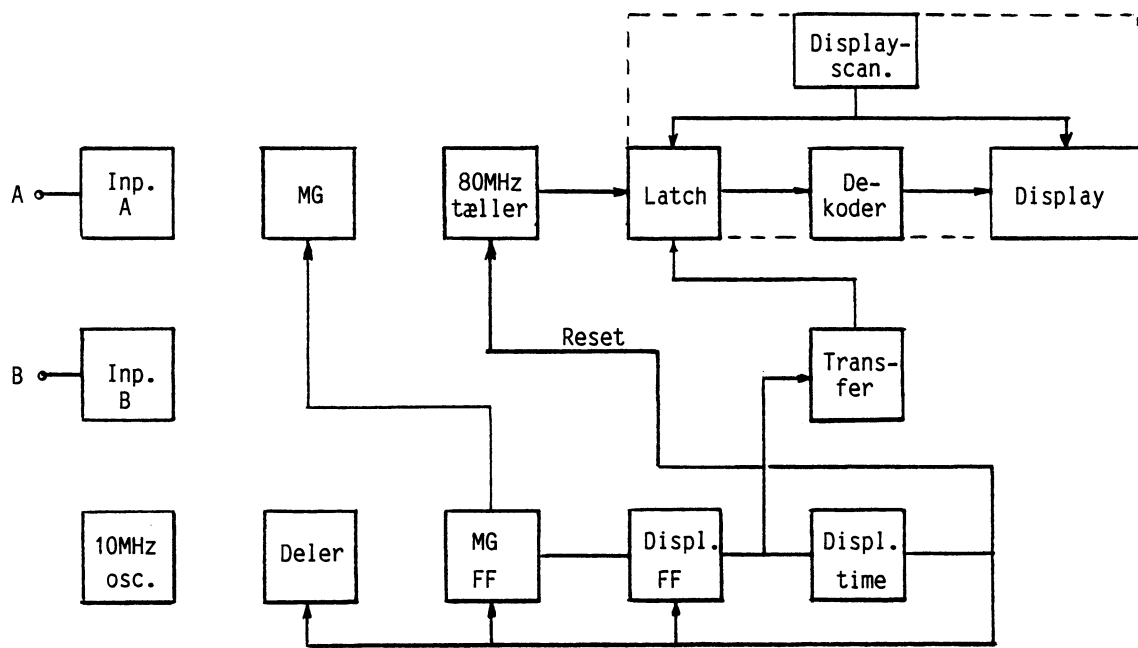
Her skal frekvensen for u_A altid være den højeste. Med u_B åbnes og lukkes MG i u_B 's periodetid. Tælleren vil derfor registrere og vise antal perioder på u_A indenfor u_B 's periodetid. Er f. eks. $f_{uA} = 100\text{KHz}$ og $f_{uB} = 1\text{KHz}$, registreres frekvensforholdet 100.





I det følgende gives en mere udførlig systembeskrivelse, der bygger på Philips frekvenstæller PM 6612, men som principielt er almen gyldig for de fleste tællere.

Først en almen gennemgang af blokdiagrammet:



Inp. A og -B er indgangsforstærkere, der primært, ved hjælp af schmitttriggere, omsætter vilkårlige indgangssignaler til logikniveauer tilpasset den i tælleren anvendte logikfamilie.

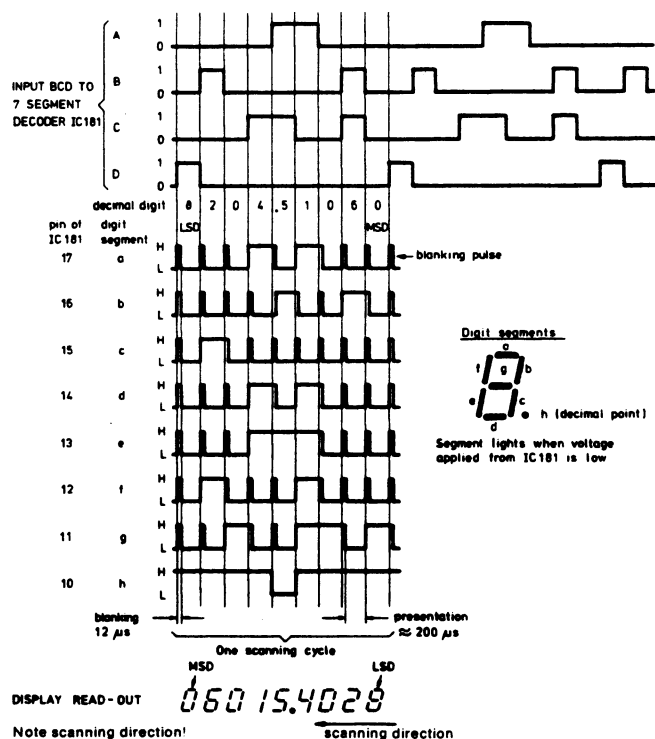
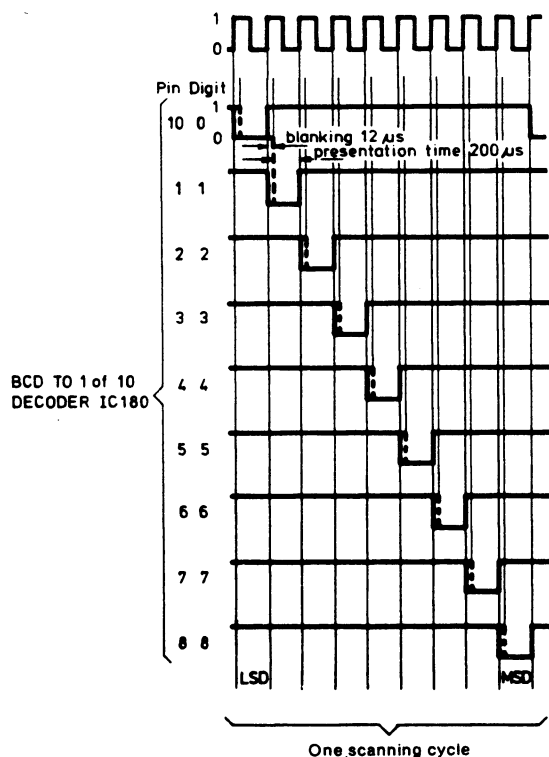
Display scanning.

Systemet indenfor den stiplede ramme har til opgave at fastholde og vise det sidst opnåede måleresultat.

Latch-funktionen består af en række FF's, der danner 9 sæt 4-bit registre, der via en transfer impuls modtager og fastholder tælleroutput.

Dekoderen omsætter en 4-bit kode direkte til de respektive ciffersegmenter, der skal lyse op for den ønskede talværdi.

Display indeholder 9 cifre. Da man driver disse med en enkelt dekode, anvendes display scanning. Display-scan funktionen indeholder en oscillator og en ringtæller, der med en 4-bit kode styrer en "en ud af ni dekode", som så peger samtidig på det ønskede ciffer i display og tilhørende talværdi i latch, et ciffer af gangen i hurtig rækkefølge. På grund af øjets træghed opleves, at alle cifre lyser op samtidigt. Impulsskemaerne på næste side viser funktionen i forenklet form.



Impulstog for display scanning.

Timerfunktion:

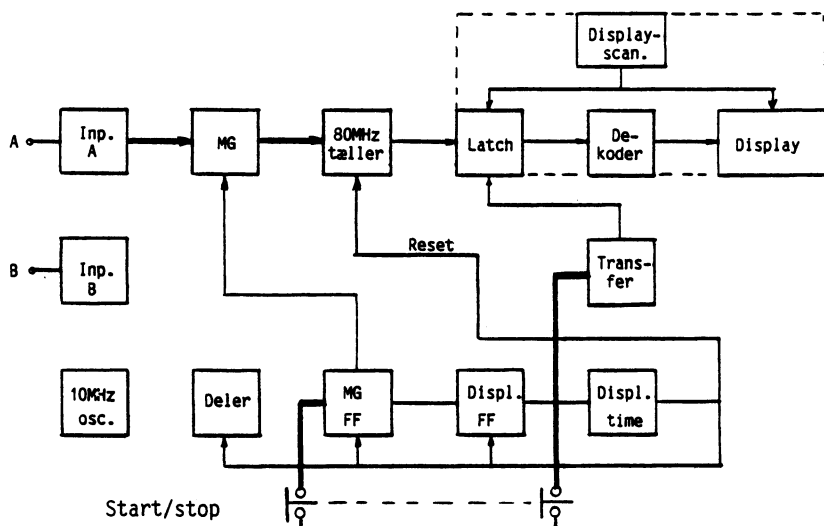
10MHz oscillatoren er tællerens tidsreference. Da den er bestemmende for målenøjagtigheden, anvendes en stabil krystaloscillator. Sammen med den efterfølgende deler danner den, hvor dette kræves, en timerfunktion, idet deleren styret fra forpladen kan stilles til delerforholdet 100M:1, 10M:1 og 1M:1. Dette giver tiderne 10, 1 og 0,1 sek.

MG- og Displ.FF er negativt kanttriggede flip-flops, der sammen med to monostabile funktioner: Displ. time og Transfer, danner styrefunktioner for de sekventielle apparatfunktioner.

Betegnelsen "80MHz tæller" angiver, at højeste arbejdsfrekvens for tælleren er nævnte 80MHz. Herefter ser vi atter på de enkelte apparatfunktioner:

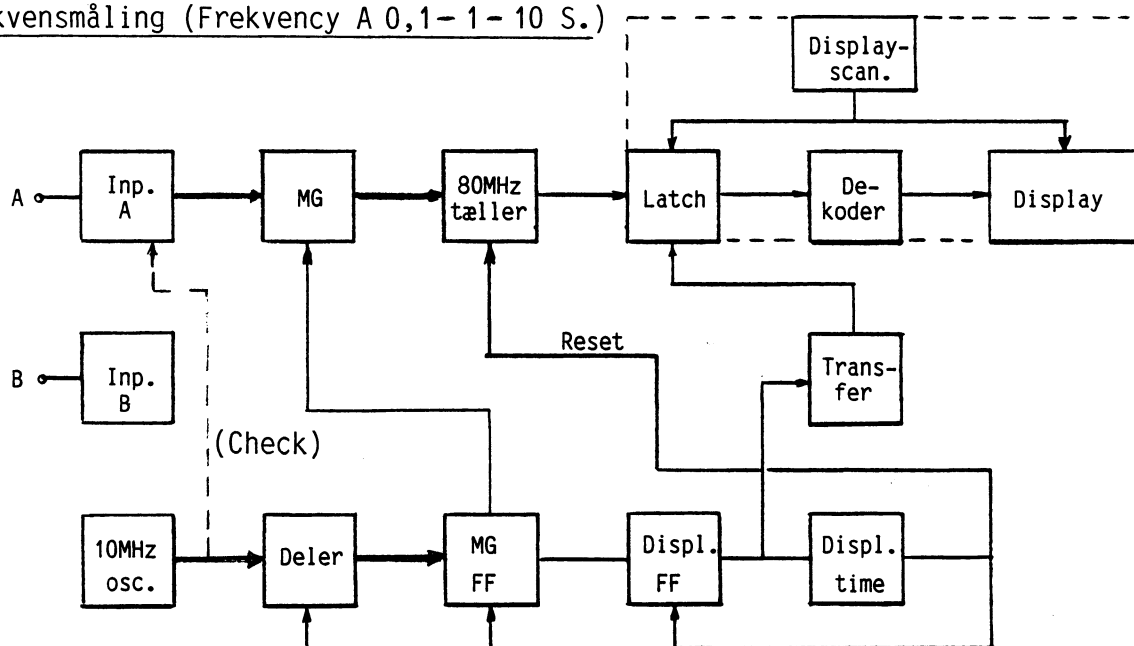
Simpel tælling (Count A):

Ved styring fra forpladen åbnes MG og Latch, så indgangsimpulser på input A tilføres tælleren og vises i display.





Frekvensmåling (Frekveny A 0,1-1-10 S.)



Forløbet ved frekvensmåling kan opdeles i to hovedsekvenser:

1. MG åbnes i et veldefineret tidsrum. Tælleren opsummerer antal perioder fra input A.
2. MG lukkes, og tællerindholdet overføres v. hj. a. en transferimpuls til display.

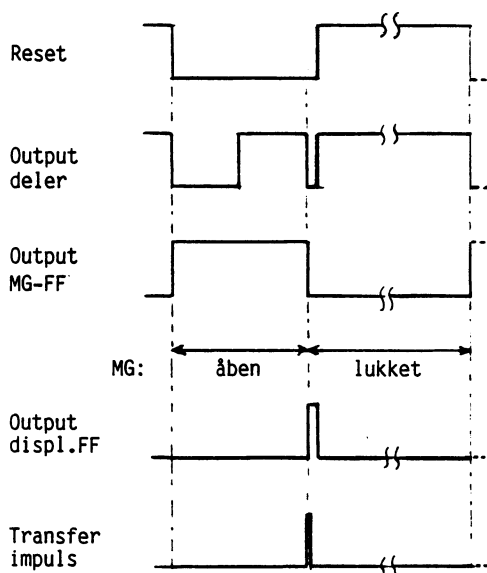
Under sekvens 2 er delerne låst (preset) med samtlige udgange på 1.

Når display time kredsløbet, der er en monostabil multivibratorfunktion går fra puls til pause, vil første impuls fra 10MHz oscillatoren skifte delerne fra 1 til 0 på alle udgange. Herved skifter MG-FF, der er negativt kanttrigget, og MG åbner.

Ved næste negative flanke fra delerne (se impulsskema) skifter MG-FF og MG blokeres. Når MG-FF skifter fra 1 til 0, skiftes den negativt triggede display-FF. Herved fremkommer en kortvarig latch-impuls, der overfører tællerindhold til latchene i display kredsløb.

Desuden bliver display-time funktionen (monostabil MV) trigget ved skiftet fra display-FF'en. Førstnævnte afleverer med en lille tidsforsinkelse, der sikrer at tællerindholdet overføres til latchene, en reset impuls, der 0-stiller tæller og giver preset til delerne.

Hermed er vi i sekvens 2, og forløbene starter forfra som forklaret. Impulstiden på display time funktionen kan stilles fra forpladen, så bru-





geren har indflydelse på tiden mellem hvert tælleforløb.

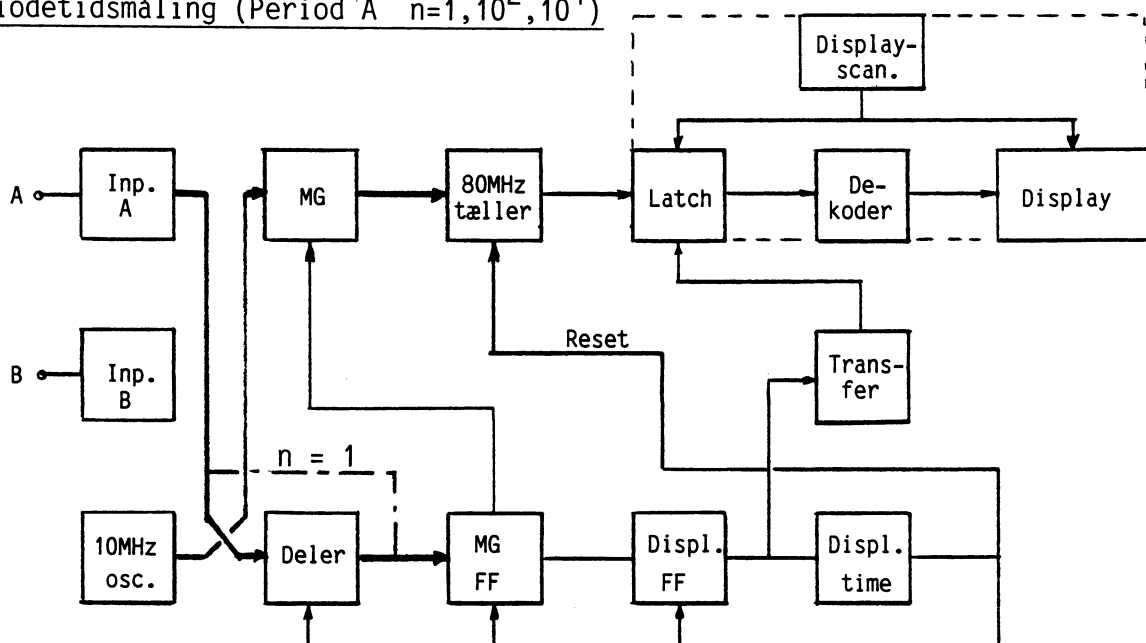
Da målenøjagtigheden er afhængig af måletiden (den tid MG er åben), kan man selv vælge denne til hhv. 0,1, 1 og 10 sekunder fra forpladen. Dette sker ved at ændre delerforholdet i deleren og samtidig ændre kommaplaceringen i display fra forpladen.

Har det tilførte signal frekvensen 10KHz og er måletiden valgt til 10 sekunder, opsummerer tælleren $10K \cdot 10 = 100K = 100000$. Via kommasætningen divideres med 10 samt med 1000 for visning i KHz. I display aflæses 10,0000 [KHz] .

Stilling Check.

I denne funktion, der svarer til frekvensmåling, tilkobles den interne 10MHz oscillator til tælling via input A, som vist stiplet. Hermed kan tæller, deler og styrekredsløb kontrolleres. Bemærk at frekvensdrift på oscillatoren ikke kontrolleres ved denne funktion.

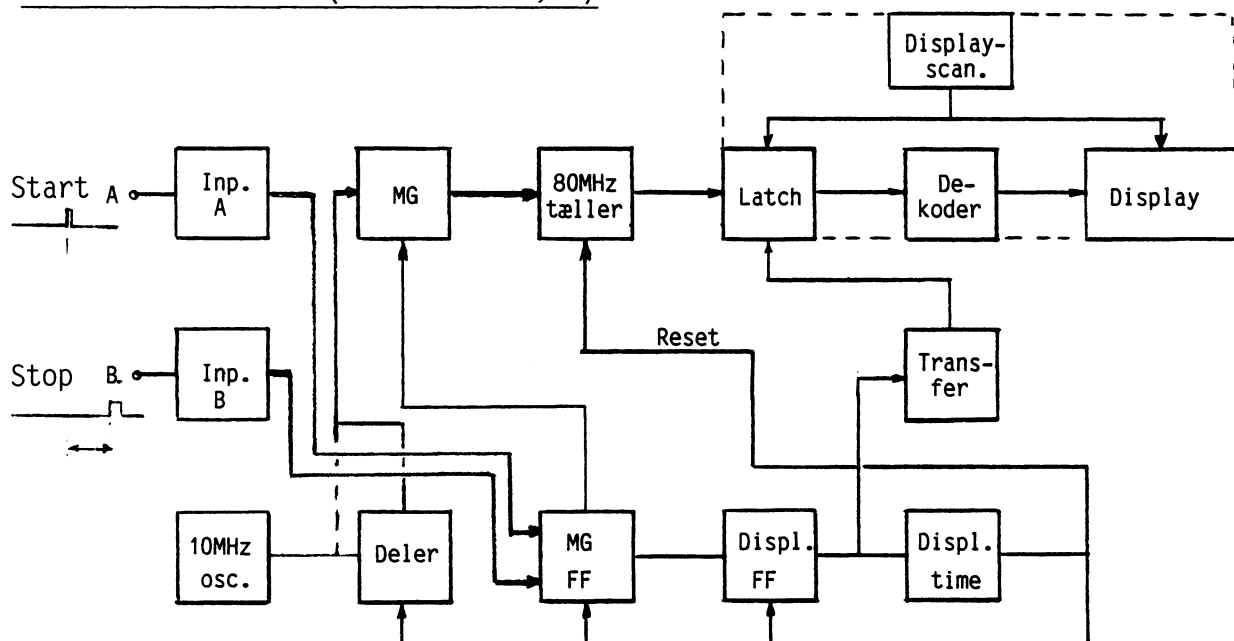
Periodetidsmåling (Period A $n=1, 10^2, 10^4$)



Ved måling af periodetid tilføres målespændingen til MG-FF, tælleren tilsluttes 10MHz oscillatoren. For at opnå større nøjagtighed kan målespændingen tilsluttes via frekvensdeler, så der måles over flere perioder. Med deleforholdet 100:1 måles der følgelig over 100 perioder. Dette aflæses på forpladen som $n = 10^2$. Er målespændingens frekvens f. eks. 1KHz m. periodetiden 1 mS, er MG åben i 100mS. Tælleren vil opsummere 10MHz pr. sek og når derfor at vise $10M \cdot 100m = 1M = 1000000$. Da man ønsker udlæsning i μS læses 1000,000 [μS] i display. Kommasætningen sker med fælles omskifterfunktion sammen med deleren.

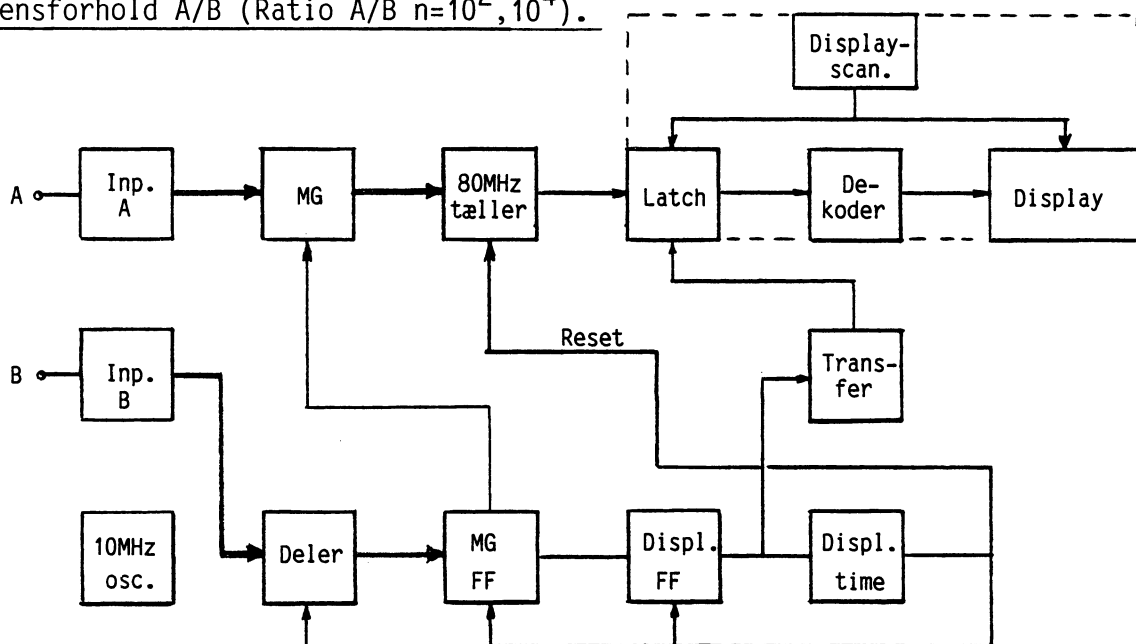
Det øvrige styrekredsløb med tællerindhold til latch osv. arbejder i denne, samt i resterende funktioner som ved frekvensmåling.

Tidsinterval A - B (T.I. A-B mS, μ S)



Som det fremgår af blokdiagrammet åbnes MG via MG-FF af en impuls fra input A, og lukkes igen via en impuls fra input B. Tælleren tilsluttet 10MHz osc. via MG tæller en op pr 0.1 μ S. Kommasætningen sker, så tiden udlæses i μ S. For at undgå overflow ved længere tidsmålinger, kan man også måle tidsinterval i mS. Her er indskudt en 1000:1 deling inden MG. Følgelig tælles der her en op pr. 0.1mS med kommasætning for udlæsning i mS.

Frekvensforhold A/B (Ratio A/B $n=10^2, 10^4$).



Her styres MG-FF af input B, og input A signalet tilføres tælleren. Også her anvendes deleren for større målenøjagtighed, så der i virkeligheden måles over 100 eller 10.000 perioder. Med f.eks. $f_A=100\text{KHz}$ og $f_B=1\text{KHz}$ er MG åben i 100mS ($n=10^2$). Tælleren opsummerer 10000, via kommasætning vises 100,00.



JERNINDUSTRIENS FORLAG

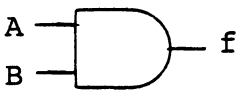
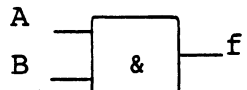
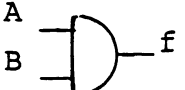

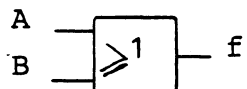
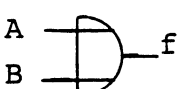
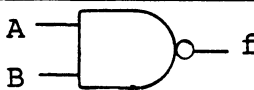
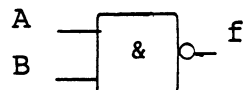
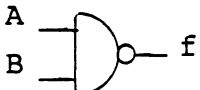

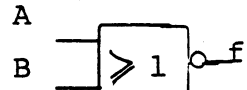
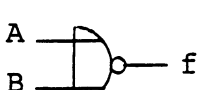

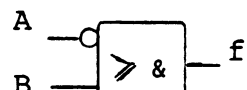
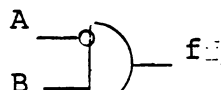

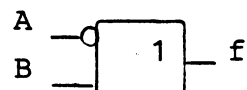
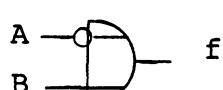

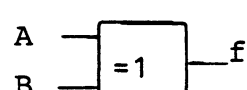
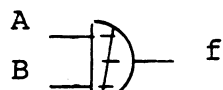

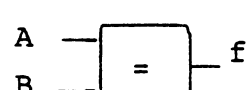
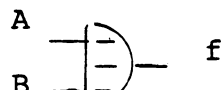
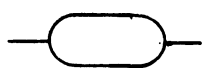

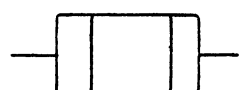
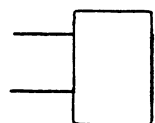
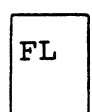
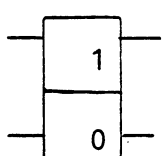
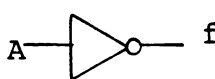
Diagramsymboler

Teoriinstruktion

Udgave

8503

Side af sider

Circuit	American standard	I.E.C. standard	DIN norm 40700
AND	 $f = A \cdot B$		
OR	 $f = A + B$		
NAND	 $f = \overline{A \cdot B}$		
NOR	 $f = \overline{A + B}$		
AND med Invertered indgang	 $f = \overline{A} \cdot B$		
OR med Invertered indgang	 $f = \overline{A} + B$		
EXCLUSIVE OR	 $f = \overline{A}B + A\overline{B}$		
Comparator	 $f = AB + \overline{A}\overline{B}$		
DELAY			
FLIP-FLOP			
INVERTER	 $f = \overline{A}$		

DEFINITIONER

AND-funktionen giver 1 ud, når og kun når alle input's er 1.

OR-funktionen giver 1 ud, når mindst et af input'ene er 1.

NOT-funktionen giver 1 ud med 0 på input og 0 ud med 1 på input.

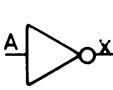
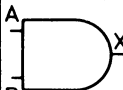


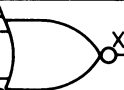

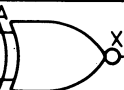
NAND-funktionen giver 0 ud, når alle input's er 1 (NOT AND).

NOR-funktionen giver 0 ud, når mindst et af input'ene er 1 (NOT OR).

EX-OR-funktionen giver 1 ud, når et og kun et af input'ene er 1.

EX-NOR-funktionen giver 0 ud, når et og kun et af input'ene er 1.

SYMBOL, SANDHEDSTABEL OG
BOOELSK UDTRYK

Input		INV	AND	OR	NAND	NOR	EX - OR	EX-NOR
		\bar{A}	AB	$A+B$	\overline{AB}	$\overline{A+B}$	$A\oplus B$	$\overline{A\oplus B}$
A	B	X	X	X	X	X	X	X
0	0	1	0	0	1	1	0	1
0	1	1	0	1	1	0	1	0
1	0	0	0	1	1	0	1	0
1	1	0	1	1	0	0	0	1
Symbol								



- 1) $A \cdot A = A$
- 2) $A + A = A$
- 3) $0 \cdot A = 0$
- 4) $1 + A = 1$
- 5) $0 + A = A$
- 6) $1 \cdot A = A$
- 7) $\overline{\overline{A}} = A$
- 8) $\overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C}$
- 9) $\overline{A + B + C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$
- 10) $A \cdot \overline{A} = 0$
- 11) $A + \overline{A} = 1$
- 12) $A \cdot B = B \cdot A$
- 13) $A + B = B + A$
- 14) $A \cdot (B \cdot C) = (A \cdot B) \cdot C$
- 15) $A + (B + C) = (A + B) + C$
- 16) $A \cdot B + A \cdot C = A \cdot (B + C)$
- 17) $(A + B) \cdot (A + C) = A + B \cdot C$
- 18) $A \cdot (A + B) = A$
- 19) $A + A \cdot B = A$
- 20) $A \cdot B + \overline{A} \cdot B = B$
- 21) $(A + B) \cdot (\overline{A} + B) = B$
- 22) $A \cdot (\overline{A} + B) = A \cdot B$
- 23) $A + \overline{A} \cdot B = A + B$
- 24) $A \cdot B + B \cdot C + \overline{A} \cdot C = A \cdot B + \overline{A} \cdot C$
- 25) $(A + B) \cdot (\overline{A} + C) = A \cdot C + \overline{A} \cdot B$

